

541024

Rec' OCT/PTO 28 JUN 2005

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2004年8月12日 (12.08.2004)

PCT

(10)国際公開番号
WO 2004/068349 A1

(51) 国際特許分類⁷: G06F 12/06, 12/00

(21) 国際出願番号: PCT/JP2004/000671

(22) 国際出願日: 2004年1月26日 (26.01.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-017372 2003年1月27日 (27.01.2003) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 秋月 麻水子 (AKIZUKI, Mamiko) [JP/JP]; 〒7920867 愛媛県新居浜市高津町3-10 Ehime (JP). 青木 透 (AOKI, Toru) [JP/JP]; 〒7930006 愛媛県西条市下島山甲2003-51 Ehime (JP). 上田 泰志 (UEDA, Yasushi) [JP/JP]; 〒7930002 愛媛県西条市天神1-138 Ehime (JP).

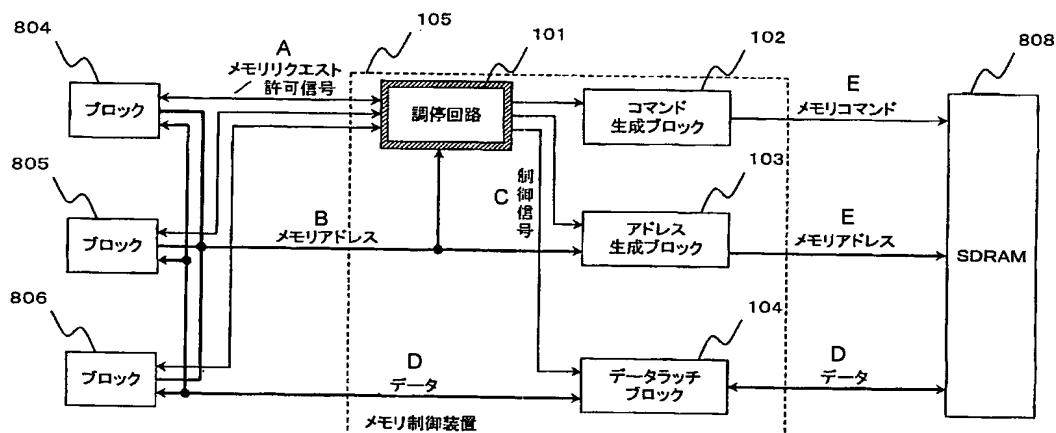
(74) 代理人: 森本 義弘 (MORIMOTO, Yoshihiro); 〒5500005 大阪府大阪市西区西本町1丁目10番10号西本町全日空ビル4階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[統葉有]

(54) Title: MEMORY CONTROL DEVICE

(54) 発明の名称: メモリ制御装置



804...BLOCK

805...BLOCK

806...BLOCK

A...MEMORY REQUEST/PERMISSION SIGNAL

B...MEMORY ADDRESS

C...CONTROL SIGNAL

D...DATA

105...MEMORY CONTROL DEVICE

101...ADJUSTMENT CIRCUIT

102...COMMAND GENERATION BLOCK

103...ADDRESS GENERATION BLOCK

104...DATA LATCH BLOCK

E...MEMORY COMMAND

WO 2004/068349 A1

(57) Abstract: There is provided a memory control device which prevents continuous access to the same bank of an SDRAM, thereby improving the processing time. The memory control device (105) controls a memory including a plurality of banks which can be accessed continuously by the bank division mode. The priority of the blocks (804, 805, 806) accessing the SDRAM (808) via the memory control device (105) is controlled in such a manner that memory access requests from these blocks continuously access different banks of the SDRAM (808).

[統葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明はSDRAMの同一のバンクに連続してアクセスすることを防止し処理時間を向上させたメモリ制御装置を提供することを目的とする。本発明のメモリ制御装置105は、複数のバンクを有しバンク分割モードにより連続してアクセスすることが可能なメモリを制御するメモリ制御装置であって、メモリ制御装置105を介してSDRAM808にアクセスするブロック804, 805, 806からのメモリアクセス要求を前記SDRAM808の異なるバンクに連続してアクセスするよう、前記複数のブロックの優先順位を制御するよう構成したものである。

明 細 書

メモリ制御装置

技術分野

5 本発明は、電子機器における複数のバンクで構成されるメモリを制御するメモリ制御装置に関するものである。

背景技術

近年、パーソナルコンピュータで頻繁に使われるキャッシュメモリのバースト転送をクロックに同期して高速に行えるようにしたシンクロナスダイナミックランダムアクセスメモリ（以下、SDRAMと略す。）が使用されつつある。このSDRAMは、バンク分割モードによる連続アクセスモードとランダムアクセスモードとの切り替えが可能である。バンク分割モードでは4つのメモリ領域として、2ビットのバンク信号が「00」であるバンク0、「01」であるバンク1、「10」であるバンク2、「11」であるバンク3とを持ち、このバンク0、バンク1、バンク2及びバンク3をクロック制御により切り替えながらアクセスし、最初にアクセスしたバンクからデータの読み出しを行っている間に次のバンクのアドレスの取り込みを行うことが可能となっている。

このSDRAMを制御するメモリ制御装置801は、図18に示すように、メモリ制御手段802と調停・Wait信号発生部803などで構成され、複数のブロック804、805、806、807からSDRAM808へのアクセスを制御しているものがある（例えば、J P 8-212170A公報を参照。）。

複数のブロック 804, 805, 806, 807 から、それぞれメモリアドレス信号 (MADR) とデータ信号 (DATA) と読み出し／書き込み制御信号 (RD/WR) とが、それぞれのブロックに対応するメモリ制御部 809, 810, 811, 812 に入力される。複数のブロック 804, 805, 806, 807 からのメモリアクセス要求信号 (CS) が調停・Wait 信号発生部 803 に入力され、この調停・Wait 信号発生部 803 から複数のブロック 804, 805, 806, 807 に待ち信号 (Wait) が返信される。調停・Wait 信号発生部 803 からメモリアクセス許可信号 (Enable) を受けたブロックに対応するメモリ制御部は、許可されたブロックの SDRAM 808 へのアクセスを制御する。このメモリ制御装置 801 を用いた SDRAM 808 のリードアクセスタイミングの一例を説明する。なおここでは、この SDRAM 808 をバンク分割モードで動作させている。

例えば、ブロックからのメモリアドレスのビット 10 とビット 3 を SDRAM のバンク信号に対応づけて「00」であればバンク 0 を、「01」であればバンク 1 を、「10」であればバンク 2 を、「11」であればバンク 3 を選択する。図 19 に示すように、クロック (図 19 (A)) に従って、複数のブロックのロウアドレス (R0, R1, R2, R3) とカラムアドレス (C0, C1, C2, C3) を切り替えながら SDRAM 808 にメモリコマンド (図 19 (B)) とメモリアドレス (図 19 (C)) を出力する。バンク 0 から読み出されたデータ (図 19 (D)) D00, D01 は、バンク 0 に対するリードコマンド 901 が入力されてから 3 クロック後に出力される。D01 は D00 に続くアドレスのデータであり、1

つのアドレス入力で 2 ワードのデータが出力できることを意味している。1 ワード分のみ必要な場合は D 0 1 は不要であり、メモリアクセスを行ったブロックに転送しない。データが出力されるまでのクロック数は「CAS レイテンシ」と呼ばれる SDRAM 808 に備えられているモード設定で変更することができる。また、1 つのアドレス入力で扱えるデータ数は「バースト長」と呼ばれるモード設定で変更することできる。例では、「CAS レイテンシ」を”3”、「バースト長」を”2”としている。

各バンクのプリチャージは、最終データ、すなわち 2 ワード出力のときはデータ D 0 1 の出力タイミングで自動的に実行される。バンク 1, バンク 2, バンク 3 に関しても同様である。このように SDRAM 808 のバンク 0, バンク 1, バンク 2, バンク 3 へのアクセスを切り替えながら行うことによって隙間なく連続してアクセスしている。

しかしながら、従来のメモリ制御装置ではバンク分割モードの SDRAM 808 に单一ブロックがアクセスする場合に、同一のバンク（例えば、バンク 1 とする。）に連続してアクセスするようなメモリアドレスが出力されるとバンク 1 へのアクセスが続いてしまう。このとき、バンク 1 に対するプリチャージ動作が終了するまではバンク 1 にアドレスを出力することができず、SDRAM 808 にアクセスできない無駄なサイクルが生じてしまうという問題がある。

そこで、单一ブロックが SDRAM 808 にアクセスする場合には、单一ブロック側で同じバンクに連続してアクセスしないようにメモリアドレスを生成することで前記の問題を解決することが考えられる。しかしながら、複数のブロックが SDRAM 808 にアク

セスする場合には、複数のブロックからのメモリアクセス時のバンクを相互に制御することは極めて難しいため、同一バンクに連續してアクセスする可能性が生じる。

例えば、ブロック 804 がバンク 1 をアクセスした直後に、ブロック 805 がバンク 1 にアクセスしようとしたとき、同一バンクへのアクセスが続いてしまう。このときバンク 1 に対するプリチャージ動作が終了するまでは、バンク 1 にアドレスを出力することができない。即ち、SDRAM 808 にアクセスできない無駄なサイクルが生じてしまう。

さらに、従来のメモリ制御装置 801 では、SDRAM 808 からデータを読み出すリードアクセスの後、SDRAM 808 へデータを書き込むライトアクセスを行う場合、SDRAM 808 の仕様により SDRAM 808 にアクセスできない無駄なサイクルが生じてしまう。そのため、複数のブロック 804, 805, 806, 807 からリードアクセス要求の後にライトアクセス要求が続く場合は、ライトアクセスが連續して行われる場合やリードアクセスが連續して行われる場合に比べ、SDRAM 808 にアクセスするサイクル数が多くなってしまうという問題がある。

また、SDRAM 808 は内部データを保持するため一定時間毎にリフレッシュ動作を実行しなければならず、複数のブロック 804, 805, 806, 807 からのメモリアクセスの間でリフレッシュ動作を実行する。複数のブロック 804, 805, 806, 807 からのライトアクセス要求の後にリフレッシュ動作が実行されると SDRAM 808 の仕様により無駄なサイクルが生じてしまう場合がある。

本発明は、SDRAM 808 の同一のバンクに連続してアクセスしないようメモリアクセスの優先順位を変更することにより処理時間向上させ、リードアクセスの後にライトアクセスが連続しないようメモリアクセスの優先順位を変更することによりメモリアクセスサイクル数を少なくし、ライトアクセス要求の後にリフレッシュ動作が連続しないようメモリアクセスの優先順位を変更することによりメモリアクセスサイクル数を少なくしたメモリ制御装置を提供することを目的とする。

前記課題を解決するために、第 1 の本発明のメモリ制御装置は、複数のブロックからのメモリアクセスを調停する調停回路が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように優先順位を変更することを特徴とする。

この第 1 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記調停回路が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように前記複数のブロックのメモリアクセスの優先順位を変更することを特徴とする。

第 2 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路が、前記複数ブロックからのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから同一バンクに対するアクセスか判断するバンク判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第 3 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可したバンクと同一のバンクにアクセスするブロックに対するメモリアクセスの優先順位を下げる特徴とする。

第 4 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可したバンクと同一のバンクにアクセスするブロックに対するメモリアクセスの優先順位を下げる特徴とする。

第 5 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可したバンクと次のメモリアクセスで要求されたバンクが同一である場合に、メモリアク

セスの優先順位を下げることを特徴とする。

第 6 の本発明は、前記第 2 の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。
5

第 7 の本発明は、前記第 2 の本発明のメモリ制御装置において、前記同一バンク時優先順位指定手段は、外部から設定可能であり前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に、前記同一バンク時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することを特徴とする。
10

第 8 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。
15

さらに、前記課題を解決するために、第 9 の本発明のメモリ制御装置は、ブロックアクセステータ単位でメモリアクセス要求を行う場合は、調停回路が直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合に、前記調停回路が前記ブロックデータ内のバンクアクセステータの順序を入れ替えることを特徴とする。
20

また、調停回路が直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合に、前記ブロックアクセステータ内の前記バンクアクセステータの順序を入れ替えて前記メモリから前記ブロックアクセステータを読み出し
25

て前記データラッチブロックに格納するとともに格納した前記プロックアクセステータ内の前記バンクアクセステータ単位で順序を入れ替えて、メモリアクセスを行った前記プロックに対して前記データラッチブロックが転送することを特徴とする。

5 この第 9 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のプロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成プロックと、前記調停回路によってアクセスを許可されたプロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成プロックと、前記調停回路によってアクセスを許可された前記プロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記プロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記メモリの同一バンクに対して書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセステータをバンクアクセステータとし、異なるバンクに属する 2 組の前記バンクアクセステータによって構成されるデータ単位をプロックアクセステータとし、前記複数のプロックが前記プロックアクセステータ単位でメモリアクセス要求をしたとき、直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合には、前記調停回路が前記プロックアクセステータ内のバンクアクセステータのメモリアクセスの順序を入れ替えることを特徴とする。

10 20 25 第 10 の本発明は、前記第 9 の本発明のメモリ制御装置において、

前記調停回路が前記複数ブロックからのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一のバンクに対するアクセスか判断するバンク判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第 1 1 の本発明は、前記第 9 の本発明のメモリ制御装置において、前記データラッチブロックが前記複数ブロックからのライトデータを受け取り、ラッチするライトデータラッチブロックと、前記調停回路からのデータラッチ制御信号に基づき、前記ライトデータラッチブロックが出力するバンクアクセステータの順序を入れ替え、ライトデータとして前記メモリへ出力し、さらに後述するリードデータラッチブロックが出力するバンクアクセステータの順序を入れ替えリードデータとして前記メモリへのリードアクセスを許可されたブロックへ出力するデータ入れ替えブロックと、前記メモリから読み出されたリードデータを受け取り、ラッチするリードデータラッチブロックとを備えることを特徴とする。

第 1 2 の本発明は、前記第 9 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合、前

記ロックアクセスデータ内の前記バンクアクセスデータの順序を入れ替えて前記メモリから前記ロックアクセスデータを読み出して前記データラッチブロックに格納し、前記データラッチブロックは、格納した前記ロックアクセスデータ内の前記バンクアクセスデータ単位で順序を入れ替えて、メモリアクセスを行った前記ロックに対して転送することを特徴とする。

第13の本発明は、前記第10の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第14の本発明は、前記第9の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

さらに、前記課題を解決するために、第15の本発明のメモリ制御装置は、前記メモリへのアクセスを許可された前記ロックからのメモリアクセス要求がバンクアクセスデータ単体の場合に、前記コマンド生成ブロックで待ちサイクルを設けることを特徴とする。

この第15の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メ

モリからの読み出しデータをラッチして、アクセスを許可された前記ロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記メモリの同一バンクに対して、書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセステータをバンクアクセステータとし、異なるバンクに属する2組の前記バンクアクセステータによって構成されるデータ単位をロックアクセステータとするとき、前記メモリへのアクセスを許可された前記ロックからのメモリアクセス要求が前記バンクアクセステータ単体の場合には、前記調停回路が待ちサイクルを設けるように前記コマンド生成ロックに指示することを特徴とする。

第16の本発明は、前記第15の本発明のメモリ制御装置において、前記調停回路が、前記複数ロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスのデータ単位を判断するデータ単位判断手段を含み、許可信号の生成を指示するリクエスト受信ロックと、前記複数ロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記複数ロックからのメモリアクセス要求がバンクアクセステータ単位の場合に設ける待ちサイクル数を指定するウェイトサイクル指定手段と、前記リクエスト受信ロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したロックに許可信号を出力する許可信号生成ロックと、前記リクエスト受信ロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ロックとを備えることを特徴とする。

第17の本発明は、前記第16の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能で

あり前記メモリアクセス優先順位指定手段の設定により、前記複数のプロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第 1 8 の本発明は、前記第 1 6 の本発明のメモリ制御装置において、前記ウェイトサイクル指定手段は、外部から設定可能であり前記ウェイトサイクル指定手段の設定により、前記コマンド生成プロックで設ける待ちサイクル数を変更できることを特徴とする。

第 1 9 の本発明は、第 1 5 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

さらに、前記課題を解決するために、第 2 0 の本発明のメモリ制御装置は調停回路が直前に許可したメモリアクセスがリードアクセスの場合、連続してリードアクセスが行われるように複数のプロックのメモリアクセス要求の優先順位を変更することを特徴とする。

この第 2 0 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のプロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成プロックと、前記調停回路によってアクセスを許可されたプロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成プロックと、前記調停回路によってアクセスを許可された前記プロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記プロックと前記メモリ間のデータの受け渡しを行うデータラッチプロックとを備え、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、連続してリードアクセスが行われるよ

うに前記複数のブロックのメモリアクセス要求の優先順位を変更することを特徴とする。

第 2 1 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記調停回路が、前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、直前に許可したメモリアクセスがリードアクセスの場合に、
5 次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成す
10 15 る制御信号生成ブロックとを備えることを特徴とする。

第 2 2 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがリードアクセスの場合に、リードアクセスの優先順位を上げることを特徴とする。

20 第 2 3 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがリードアクセスで、次のメモリアクセス要求にリードアクセスが存在する場合に、リードアクセスの優先順位を上げることを特徴とする。

25 第 2 4 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能で

あり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第 25 の本発明は、前記第 20 の本発明のメモリ制御装置において、前記リードアクセス時優先順位指定手段は、外部から設定可能であり前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するブロックを選択することができることを特徴とする。

第 26 の本発明は、前記第 20 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

さらに、前記課題を解決するために、第 27 の本発明のメモリ制御装置は、直前に許可したメモリアクセスがライトアクセスの場合、リフレッシュ要求ブロックからリフレッシュ要求の優先順位を変更することを特徴とする。

この第 27 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、前記メモリの内部データを保持するために一定間隔でリフレッシュ動作を要求するリフレッシュ要求ブロックと、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求と前記リフレッシュ要求ブロックからのリフレッシュ要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロック

クからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ロックと前記メモリ間のデータの受け渡しを行うデータラッチロックとを備え、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合は、

5 前記リフレッシュ要求ロックからのリフレッシュ要求の優先順位を変更することを特徴とする。

第28の本発明は、前記第27の本発明のメモリ制御装置において、前記調停回路が、前記リフレッシュ要求ロックからのリフレッシュ要求と前記複数ロックからのメモリリクエストを受け取り、

10 受け取ったリフレッシュ要求とメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段を含み、許可信号の生成を指示するリクエスト受信ロックと、前記複数ロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記リフレッシュ要求ロックからリフレッシュ
15 要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、次にリードアクセスを許可するロックを選択するライトアクセス時優先順位指定手段と、前記リクエスト受信ロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したロックに許可信号を出力する許可信号生成ブロ
20 ックと、前記リクエスト受信ロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ロックとを備えることを特徴とする。

第29の本発明は、前記第27の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがライトアクセスの場合に、リフレッシュ要求の優先順位を下げるなどを特徴と

する。

第 3 0 の本発明は、前記第 2 7 の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがライトアクセスで、次のメモリアクセス要求にリフレッシュ要求が存在する場合に、リフレッシュ要求の優先順位を下げるることを特徴とする。
5

第 3 1 の本発明は、前記第 2 8 の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを
10 特徴とする。

第 3 2 の本発明は、前記第 2 8 の本発明のメモリ制御装置において、前記ライトアクセス時優先順位指定手段は、外部から設定可能であり前記リフレッシュ要求ブロックからリフレッシュ要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、前記ライトアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができる特徴とする。
15

第 3 3 の本発明は、前記第 2 7 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

第 3 4 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに
20
25

出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、前記調停回路が前記複数のブロックのメモリアクセスの優先順位を変更するための調停方法を指定することを特徴とする。

第 3 5 の本発明は、前記第 3 4 の本発明のメモリ制御装置において、前記調停回路が、前記複数ブロックからのメモリアドレスを受け取り、受け取ったメモリアドレスから同一バンクに対するアクセスか判断するバンク判断手段と、前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段と、前記バンク判断手段と前記アクセス要求判断手段とを含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、メモリアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段と、前記調停方法指定手段の設定がバンク優先の場合に、次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段と、前記調停方法指定手段の設定がアクセス優先の

場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。
5

第36の本発明は、前記第35の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。
10

第37の本発明は、前記第35の本発明のメモリ制御装置において、前記調停方法指定手段は、外部から設定可能であり前記調停方法指定手段の設定により、前記複数のブロックからのメモリアクセスの調停方法を変更できることを特徴とする。
15

第38の本発明は、前記第35の本発明のメモリ制御装置において、前記同一バンク時優先順位指定手段は、外部から設定可能であり前記調停方法指定手段の設定がバンク優先の場合でかつ、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に、前記同一バンク時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができることを特徴とする。
20

第39の本発明は、前記第35の本発明のメモリ制御装置において、前記リードアクセス時優先順位指定手段は、外部から設定可能
25

であり前記調停方法指定手段の設定がアクセス優先の場合でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するブロック
5 を選択することができることを特徴とする。

第 40 の本発明は、前記第 34 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

以上のように本発明のメモリ制御装置によれば、調停回路が直前にメモリアクセスを許可したバンクと同一のバンクが連続する場合
10 に前記メモリにアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。また、メモリアドレスを生成する複数のブロックは、直前にメモリアクセスを許可されたバンクを意識することなくメモリアドレスを生成することができる。

また、異なるバンクに属する 2 組のバンクアクセステータによって構成されるブロックアクセステータ単位でメモリアクセス要求をした時、調停回路が直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合にメモリにアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。また、メモリアドレスを生成する複数のブロック
20 は、直前のバンクを意識することなくメモリアドレスを生成することができる。

さらに、メモリから読み出したブロックアクセステータをブロックから要求があったメモリアクセス順に出力することにより、メモリアドレスを生成する複数のブロックはバンクを意識することなく前記メモリから読み出したブロックアクセステータを受け取ること

が可能である。

また、バンクアクセステータ单体でメモリアクセス要求が行われるブロックからのメモリアクセス要求を調停回路が許可した場合には、コマンド生成ブロックで待ちサイクルを設けることにより、直前 5 前に許可されたメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセステータ单体でメモリアクセスを行うために必要な回路を削減することができる。

また、調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、次のメモリアクセス要求がリードアクセス以外の場合 10 に生じるメモリにアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

また、調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、次のメモリアクセス要求がリフレッシュ要求の場合に生じるメモリにアクセスできない待ちサイクルを解消して、処理時 15 間を向上させることができる。

図面の簡単な説明

図 1 は、本発明の実施の形態 1 におけるメモリ制御装置を示すブロック図、

20 図 2 は、本発明の実施の形態 1 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 3 は本発明の実施の形態 2 におけるメモリ制御装置の主要な信号のタイミングチャート、

25 図 4 は本発明の実施の形態 3 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 5 は本発明の実施の形態 4 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 6 は本発明の実施の形態 5 におけるメモリ制御装置を示すブロック図、

5 図 7 は本発明の実施の形態 5 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 8 は実施の形態 1 における調停回路、

図 9 は本発明の実施の形態 1 において、同一バンクが連続した場合に次にアクセスを許可するブロックを選択する場合のタイミング
10 チャート、

図 10 は本発明の実施の形態 2 の調停回路 101 を示すブロック図、

図 11 は本発明の実施の形態 2 のデータラッチブロック 104 を示すブロック図、

15 図 12 は本発明の実施の形態 3 の調停回路を示すブロック図、

図 13 は本発明の実施の形態 4 の調停回路を示すブロック図、

図 14 は本発明の実施の形態 4 において、調停回路 101 が直前に許可したメモリアクセスがリードアクセスの場合に次にリードアクセスを許可する場合のタイミングチャート、

20 図 15 は本発明の実施の形態 5 の調停回路を示すブロック図、

図 16 は本発明の実施の形態 5 において、調停回路 101 が直前に許可したメモリアクセスがライトアクセスの場合に次にリードアクセスを許可する場合のタイミングチャート、

図 17 は本発明の実施の形態 6 の調停回路を示すブロック図、

25 図 18 は従来発明のメモリ制御装置の構成を示すブロック図、

図 19 は従来発明のメモリ制御装置の主要な信号のタイミングチャートである。

発明を実施するための最良の形態

5 (実施の形態 1)

以下に、第 1 ないし第 8 の本発明の実施の形態について、図 1 及び図 2 及び図 8 及び図 9 を用いて説明する。図 1 は実施の形態 1 におけるメモリ制御装置を示すブロック図、図 2 は図 1 の主要な信号のタイミングチャート、図 8 は実施の形態 1 における調停回路を示すブロック図である。

このメモリ制御装置 105 は、図 1 に示すように SDRAM 808 にアクセスする複数のブロック 804, 805, 806 からのメモリアクセス要求の調停を行う調停回路 101 と、SDRAM 808 へのメモリコマンドを生成するコマンド生成ブロック 102 と、前記調停回路 101 によってアクセスを許可された前記ブロックからのメモリアドレスを受け取り、SDRAM 808 に出力するアドレス生成ブロック 103 と、前記調停回路 101 によってアクセスを許可された前記ブロックからの書き込みデータまたは SDRAM 808 からの読み出しデータをラッチし、アクセスを許可された前記ブロックと SDRAM 808 とのデータの受け渡しを行うデータラッチブロック 104 とで構成される。

前記調停回路 101 は、図 8 に示すように前記複数ブロック 804, 805, 806 からのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから同一のバンクに対するアクセスか判断するバンク判断手段 1002 を含み、許可信号の生成を

指示するリクエスト受信ブロック 1001 と、前記複数ブロック 8
04, 805, 806 からのメモリアクセスの優先順位を指定する
メモリアクセス優先順位指定手段 1003 と、前記複数ブロック 8
04, 805, 806 からのメモリアクセス要求が直前にアクセス
したバンクと同一バンクに対するアクセス要求の場合に次にアクセ
スを許可するブロックを選択する同一バンク時優先順位指定手段 1
004 と、前記リクエスト受信ブロック 1001 からの許可信号の
生成を指示され、前記 SDRAM 808 へのアクセスを許可したブ
ロックに許可信号を出力する許可信号生成ブロック 1005 と、前
記リクエスト受信ブロック 1001 からの制御信号の生成を指示さ
れ、コマンド生成制御信号及びアドレス生成制御信号及びデータラ
ッチ制御信号を生成する制御信号生成ブロック 1006 とで構成さ
れる。

図 2において、

15 (A) は SDRAM 808 が動作するクロック、
(B) はブロック 804 から出力される調停回路 101 へのメモリ
リクエスト、
(C) は調停回路 101 から返信されるブロック 804 へのメモリ
アクセス許可信号、
20 (D) はブロック 805 から出力される調停回路 101 へのメモリ
リクエスト、
(E) は調停回路 101 から返信されるブロック 805 へのメモリ
アクセス許可
信号、
25 (F) はブロック 806 から出力される調停回路 101 へのメモリ

リクエスト、

(G) は調停回路 101 から返信されるブロック 806 へのメモリアクセス許可
信号、

5 (H) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリア
クセス、

(I) は SDRAM 808 から読み出したリードデータを示す。

201 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス、
10 リリードアクセス、

202 はブロック 805 のバンク 2 へのメモリリードアクセス、
203 はブロック 804 のバンク 1 へのメモリリードアクセス、
204 はブロック 806 のバンク 0 へのメモリリードアクセスで
ある。

15 なお、ブロック 804, 805, 806 は、例えば CPU や誤り
訂正ブロックなどがあり、ホストコンピュータとマイクロコンピュ
ータ間のデータ転送を SDRAM 808 を介して実行したり、誤り
訂正ブロックで誤ったデータを訂正したりする。また、ブロック 8
04, 805, 806 からのメモリアクセス要求は SDRAM 80
20 8 の同じバンクに対して、書き込みまたは読み出しデータが 8 バイ
トのバンクアクセステータ单位で行われる。

最初に、調停回路 101 が直前にメモリアクセスを許可したバン
クと次のメモリアクセスリクエストのバンクが同一である場合につ
いて説明する。

25 以下、 SDRAM 808 に備えられているモード設定を「CAS

「レイテンシ」 = "3"、 「バースト長」 = "2" と設定し、 SDRAM 808 に対する優先順位をブロック 804, 805, 806 の順に優先順位が高いとメモリアクセス優先順位指定手段 1003 に設定したとして、ブロック 804 が SDRAM 808 からデータを
5 リード（読み出し）する場合のメモリ制御装置 105 の動作について説明する。

ブロック 804 が SDRAM 808 にアクセスする場合には、メモリ制御装置 105 を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック 804 から調停回路 101 にメモリリクエスト（図 2（B））が出力されると、 SDRAM 808 に対するメモリリクエストを出力しているブロックが他に存在しなければ調停回路 101 がブロック 804 に対しメモリアクセス許可信号（図 2（C））を返信する。ブロック 804 の前記メモリリクエストと同時に他のブロック（ブロック 805, 806）がメモリリクエスト（図 2（D），（F））を出力している場合には、 SDRAM 808 にアクセスする優先順位に従って優先順位の高いブロック
10 15 に対しメモリアクセス許可信号を返信する。

メモリ制御装置 105 が SDRAM 808 のバンク 1 に対しアクセス中（図 2（H）201）で、ブロック 804 から SDRAM 808 のバンク 1 へのメモリリードリクエスト（図 2（B））が出力され、それと同時にブロック 805 からバンク 2 へのメモリリードリクエスト（図 2（D））と、ブロック 806 からバンク 0 へのメモリリードリクエスト（図 2（F））が出力されているとする。ブロック 804 からの SDRAM 808 のバンク 1 へのメモリリード
20 25 リクエスト（図 2（B））が出力されると、調停回路 101 はリク

エスト受信ブロック 1001 でメモリリクエストとメモリアドレスを受け取り、バンク判断手段 1002 でメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス（図 2 (H) 201）と同一のバンクへのメモリアクセス要求であると判断し、許可信号 5 生成ブロック 1005 に、第 2 の優先順位のブロック 805 に対する許可信号を生成するよう指示する。リクエスト受信ブロック 1001 は、ブロック 804 から出力されているバンク 1 へのメモリードリクエストの優先順位を下げて、次に優先順位の高いブロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 805 にメモリアクセス許可信号（図 2 (E)）を返信する（優先順位変更処理）。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

アドレス生成ブロック 103 が調停回路 101 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック 805 からのメモリアドレスを受け取り、SDRAM 808 に出力する。

コマンド生成ブロック 102 が調停回路 101 から出力されたコマンド生成制御信号に基づき、RAS (Row Address Strobe), CAS (Column Address Strobe) などのメモリコマンドを生成し、前記メモリコマンドを SDRAM 808 に出力し、ブロック 805 のバンク 2 へのメモリリードアクセス 202 を実行する。SDRAM 808 から読み出された 25 データはデータラッチブロック 104 が取り込み、ブロック 805

に出力する。

S D R A M 8 0 8 は、コマンド生成プロック 1 0 2 から出力されたメモリコマンドと、アドレス生成プロック 1 0 3 から出力されたメモリアドレスに基づき、S D R A M 8 0 8 からデータ D 2 0 , D 2 1 を読み出す。D 2 1 は D 2 0 に続くアドレスのデータであり、一つのアドレス入力で 2 ワードのデータが出力できることを意味している（「バースト長」 = “ 2 ”）。各バンクのプリチャージは最終データ、即ち、この 2 ワード出力時ではデータ D 2 1 などの出力タイミングで自動的に実行される。バンク 0 , バンク 1 , バンク 3 に対するプリチャージに関しても同様である。プロック 8 0 5 のバンク 2 へのメモリリードアクセス 2 0 2 が終わると、メモリアクセスの優先順位に従って、プロック 8 0 4 のバンク 1 へのメモリリードアクセス 2 0 3 を実行し、続いてプロック 8 0 6 のバンク 0 へのメモリリードアクセス 2 0 4 を実行する。

次に、調停回路 1 0 1 が直前にメモリアクセスを許可したバンクと同一のバンクにアクセスするプロックに対するメモリアクセスの優先順位を下げる場合について説明する。

以下、S D R A M 8 0 8 に備えられているモード設定を「C A S レイテンシ」 = “ 3 ” 、「バースト長」 = “ 2 ” と設定し、S D R A M 8 0 8 に対する優先順位をプロック 8 0 4 , 8 0 5 , 8 0 6 の順に優先順位が高いとメモリアクセス優先順位指定手段 1 0 0 3 に設定し、プロック 8 0 4 がバンク 1 に、プロック 8 0 5 がバンク 2 に、プロック 8 0 6 がバンク 0 にメモリアクセス要求を出力するとする。

調停回路 1 0 1 が直前に許可したアクセスがバンク 1 へのメモリ

リードアクセスで、メモリ制御装置 105 がバンク 1 にメモリリードアクセス中（図 2（H）201）であるとき、前記バンク判断手段 1002 は、直前のメモリアクセスを許可した時点でバンク 1 へアクセス要求を出力するプロック 804 のメモリアクセスの優先順位を下げる。
5

プロック 804 から SDRAM 808 のバンク 1 へのメモリリードリクエスト（図 2（B））が出力され、それと同時にプロック 805 からバンク 2 へのメモリリードリクエスト（図 2（D））と、プロック 806 からバンク 0 へのメモリリードリクエスト（図 2
10（F））が出力されると、リクエスト受信プロック 1001 は許可信号生成プロック 1005 に、プロック 805 に対する許可信号を生成するよう指示するとともに、プロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成プロック 1006 に指示する。許可信号生成プロック 1005 はプロック 805 に
15 メモリアクセス許可信号（図 2（E））を返信する（優先順位変更処理）。

制御信号生成プロック 1006 は前記リクエスト受信プロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。
20 コマンド生成プロック 102 及びアドレス生成プロック 103 及びデータラッチプロック 104 の動作と、プロック 805 のバンク 2 へのメモリリードアクセス 202 以降の動作については、調停回路 101 が直前にメモリアクセスを許可したバンクと次のメモリアクセス要求のバンクが同一である場合と同様なので省略する。
25 次に、調停回路 101 が直前にメモリアクセスを許可したバンク

と異なるバンクにアクセスするブロックに対するメモリアクセスの優先順位を上げる場合について説明する。

以下、SDRAM808に備えられているモード設定を「CAS
レイテンシ」="3"、「バースト長」="2"と設定し、SDR
5 AM808に対する優先順位をブロック804, 805, 806の
順に優先順位が高いとメモリアクセス優先順位指定手段1003に
設定し、ブロック804がバンク1に、ブロック805がバンク2
に、ブロック806がバンク0にメモリアクセス要求を出力する
とする。

10 調停回路101が直前に許可したアクセスがバンク1へのメモリ
リードアクセスで、メモリ制御装置105がバンク1にメモリリー
ドアクセス中（図2（H）201）であるとき、バンク判断手段1
002は直前のメモリアクセスを許可した時点で異なるバンクにア
クセスするように、次に優先順位の高いブロック805へのメモリ
15 アクセスの優先順位を上げる。

ブロック804からSDRAM808のバンク1へのメモリリー
ドリクエスト（図2（B））が出力され、それと同時にブロック8
05からバンク2へのメモリリードリクエスト（図2（D））と、
ブロック806からバンク0へのメモリリードリクエスト（図2
20 （F））が出力されると、リクエスト受信ブロック1001は許可
信号生成ブロック1005に、ブロック805に対する許可信号を
生成するよう指示する。それとともに、ブロック805のメモリア
クセス要求に対する制御信号を生成するよう制御信号生成ブロック
1006に指示する。許可信号生成ブロック1005はブロック8
25 05にメモリアクセス許可信号（図2（E））を返信する（優先順

位変更処理)。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

5 コマンド生成ブロック 102 及びアドレス生成ブロック 103 及びデータラッチブロック 104 の動作と、ブロック 805 のバンク 2 へのメモリリードアクセス 202 以降の動作については、直前にメモリアクセスを許可したバンクと次のメモリアクセス要求のバンクが同一である場合と同様なので省略する。

10 次に、調停回路 101 が直前にメモリアクセスを許可したバンクと同一バンクに対するブロックからのアクセス要求の場合に、次にアクセスを許可するブロックを選択する場合について図 9 を用いて説明する。図 9 は、実施の形態 1において、同一バンクが連續した場合に次にアクセスを許可するブロックを選択する場合のタイミングチャートである。

図 9において、

(A) は SDRAM 808 が動作するクロック、

(B) はブロック 804 から出力される調停回路 101 へのメモリリクエスト、

20 (C) は調停回路 101 から返信されるブロック 804 へのメモリアクセス許可
信号、

(D) はブロック 805 から出力される調停回路 101 へのメモリリクエスト、

25 (E) は調停回路 101 から返信されるブロック 805 へのメモリ

アクセス許可

信号、

(F) はブロック 806 から出力される調停回路 101 へのメモリリクエスト、

5 (G) は調停回路 101 から返信されるブロック 806 へのメモリアクセス許可

信号、

(H) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリア

10 クセス、

(I) は SDRAM 808 から読み出したリードデータを示す。

1101 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス、

1102 はブロック 806 のバンク 0 へのメモリリードアクセス、

15 1103 はブロック 804 のバンク 1 へのメモリリードアクセス、

1104 はブロック 805 のバンク 2 へのメモリリードアクセスである。

以下、 SDRAM 808 に備えられているモード設定を「CAS レイテンシ」 = "3"、 「バースト長」 = "2" と設定し、 SDRAM 808 に対する優先順位をブロック 804, 805, 806 の順に優先順位が高いとメモリアクセス優先順位指定手段 1003 に設定したとして、同一バンクに対するメモリアクセスが生じた場合の優先順位をブロック 806, 805, 804 の順に優先順位が高いと、同一バンク時優先順位指定手段 1004 にこの優先順位を設定する。そして、ブロック 804 がバンク 1 に、ブロック 805 が

バンク 2 に、 ブロック 806 がバンク 0 にメモリアクセス要求を出力するとする。

調停回路 101 が直前に許可したアクセスがバンク 1 へのメモリードアクセスで、 メモリ制御装置 105 がバンク 1 にメモリリードアクセス中（図 9（H）1101）であるとき、 ブロック 804 からの SDRAM 808 のバンク 1 へのメモリリードリクエスト（図 9（B））が出力されると、 調停回路 101 はリクエスト受信ブロック 1001 でメモリリクエストとメモリアドレスを受け取り、 バンク判断手段 1002 でメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス（図 9（H）1101）と同一のバンクへのメモリアクセス要求であると判断し、 同一バンク時優先順位指定手段 1004 の設定に従って、 許可信号生成ブロック 1005 に、 優先順位が最も高いブロック 806 に対する許可信号を生成するよう指示するとともに、 ブロック 806 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。 許可信号生成ブロック 1005 はブロック 806 にメモリアクセス許可信号（図 9（G））を返信する（同一バンク時優先順位変更処理）。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1001 からの制御信号の生成を指示され、 コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

アドレス生成ブロック 103 が調停回路 101 から出力されたアドレス生成制御信号に基づき、 アクセスを許可されたブロック 806 からのメモリアドレスを受け取り、 SDRAM 808 に出力する。 コマンド生成ブロック 102 が調停回路 101 から出力されたコマ

ンド生成制御信号に基づき、RAS, CASなどのメモリコマンドを生成し、前記メモリコマンドをSDRAM808に出力し、ブロック806のバンク0へのメモリリードアクセス1102を実行する。

- 5 ブロック806のバンク0へのメモリリードアクセス1102が終わると、メモリアクセスを許可する優先順位に従って、ブロック804のバンク1へのメモリリードアクセス1103を実行し、続いてブロック805のバンク2へのメモリリードアクセス1104を実行する。
- 10 以上のような構成にしたため、SDRAM808に対してメモリ制御装置105がアクセス中のバンクと次にアクセスするブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、調停回路101が同一のバンクに対するメモリアクセスを出力するブロックの優先順位を下げて、あるいは、異なるバンクに対するメモリアクセス要求を出力しているブロックの優先順位を上げて、異なるバンクに連続してアクセスできるようにすることにより、SDRAM808にアクセスできない待ちサイクルを解消して、処理時間向上させることができる。
15

また、メモriadレスを生成する複数のブロックは、前記メモリ制御装置がアクセス中のバンクを意識することなくメモriadレスを生成することができる。

この実施の形態1では、SDRAM808が「バースト長」="2"に設定されている場合を一例として説明したが、例えば、「バースト長」="4", "8", その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態1では、SDRAM808が「CASレイテンシ」＝”3”に設定されている場合を一例として説明したが、例えば、「CASレイテンシ」＝”2”，その他の値に設定されている場合にも、同様の効果が得られる。

5 なお、この実施の形態1では、SDRAM808に対する優先順位がブロック804，805，806の順に高いという例で説明したが、メモリアクセス優先順位指定手段1003を外部から設定可能な構成にして、ブロック804，805，806の優先順位を変更しても良く、その場合でも本実施の形態1と同様の効果が得られる。
10

なお、この実施の形態1では、同一バンクに対するメモリアクセスが生じた場合の優先順位をブロック806，805，804の順に優先順位が高いという例で説明したが、同一バンク時優先順位指定手段1004を外部から設定可能な構成にして、ブロック804，
15 805，806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態1では、メモリをSDRAM808という例で説明したが、SDRAMに限らず他の同期式メモリについても同様の効果が得られる。

20

(実施の形態2)

以下に、第9ないし第14の本発明の実施の形態について、図1及び図3及び図10及び図11を用いて説明する。図3は実施の形態2の主要な信号のタイミングチャート、図10は実施の形態2の調停回路101を示すブロック図、図11は実施の形態2のデータ

ラッチブロック 104 を示すブロック図である。

メモリ制御装置 105 の構成に関しては、実施の形態 1 の構成(図 1) と同様なので図番を同じくして説明は省略する。

前記調停回路 101 は、図 1、図 10 に示すように複数ブロック 5 804, 805, 806 からのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一のバンクに対するアクセスか判断するバンク判断手段 120 2 を含み、許可信号の生成を指示するリクエスト受信ブロック 12 10 01 と、前記複数ブロック 804, 805, 806 からのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段 10 03 と、前記リクエスト受信ブロック 1001 からの許可信号の生成を指示され、前記 SDRAM 808 へのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロック 1005 と、前記 15 リクエスト受信ブロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する制御信号生成ブロック 1006 とで構成される。

前記データラッチブロック 104 は、図 1、図 11 に示すように前記複数ブロック 804, 805, 806 からのライトデータを受け取り、ラッチするライトデータラッチブロック 1301 と、前記調停回路 101 からのデータラッチ制御信号に基づき、前記ライトデータラッチブロック 1301 が output するバンクアクセステータの順序を入れ替え、ライトデータとして前記メモリへ出力したり、後述するリードデータラッチブロック 1303 が output するバンクアクセステータの順序を入れ替えリードデータとして前記メモリへのリ

ードアクセスを許可されたブロックへ出力するデータ入れ替えブロック 1302 と、前記 SDRAM 808 から読み出されたリードデータを受け取り、ラッチするリードデータラッチブロック 1303 とで構成される。

5 図 3において、

- (A) は SDRAM 808 が動作するクロック、
- (B) はブロック 804 から出力される調停回路 101 へのメモリリクエスト、
- (C) は調停回路 101 から返信されるブロック 804 へのメモリアクセス許可信号、
- (D) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリアクセス、
- (E) は SDRAM 808 から読み出したリードデータ、
- (F) は各ブロックに転送するデータを示す。

15 301 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリードアクセス、

302 はブロック 804 のバンク 1 へのメモリリードリクエスト、

303 はブロック 804 のバンク 2 へのメモリリードリクエスト、

304 はブロック 804 のバンク 2 へのメモリリードアクセス、

20 305 はブロック 804 のバンク 1 へのメモリリードアクセス、

306 は SDRAM 808 のバンク 2 から読み出した 8 バイトのバンクリードデータ、

307 は SDRAM 808 のバンク 1 から読み出した 8 バイトのバンクリードデータである。

25 本発明の実施の形態 2 のメモリ制御装置は、前述の実施の形態 1

の複数のブロック 804, 805, 806からのメモリアクセス要求が 8 バイトのバンクアクセステータ単位で行われていたのに対し、異なるバンクに属する 2 組の 8 バイトのバンクアクセステータによって構成される 16 バイトのブロックアクセステータ単位でメモリ
5 アクセス要求が行われる点が前述の実施の形態 1 とは異なっている。そのため、調停回路 101 が直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合、ブロックアクセステータ内のバンクアクセステータの順序を入れ替えて、SDRAM 808 の異なるバンクに連続してアクセスするよう前記 SDRAM 808 へのアクセスを制御する機能が前述の
10 実施の形態 1 とは異なっている。

以下、SDRAM 808 に備えられているモード設定を「CAS レイテンシ」 = "3" 、「バースト長」 = "2" と設定し、SDRAM 808 に対する優先順位をブロック 804, 805, 806 の
15 順に優先順位が高いとメモリアクセス優先順位指定手段 1003 に設定したとして、ブロック 804 が SDRAM 808 からデータをリード（読み出し）する場合のメモリ制御装置 105 の動作について説明する。

ブロック 804 が SDRAM 808 にアクセスする場合には、メ
20 モリ制御装置 105 を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック 804 から調停回路 101 にメモリリクエスト（図 3（B））が出力されると、SDRAM 808 に対するメモリリクエストを出力しているブロックが他に存在しなければ調停回路 101 がブロック 804 に対しメモリアクセス許可信号
25 （図 3（C））を返信する。ブロック 804 の前記メモリリクエス

トと同時に他のブロック（ブロック 805, 806）がメモリリクエストを出力している場合には、SDRAM 808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

- 5 メモリ制御装置 105 が SDRAM 808 のバンク 1 に対しアクセス中（図 3 (D) 301）で、ブロック 804 から SDRAM 808 のバンク 1、バンク 2 の順にメモリリードリクエスト（図 3 (B) 302, 303）が出力されているとする。ブロック 804 からメモリリードリクエスト 302, 303 が出力されると、調停回路 10 101 はリクエスト受信ブロック 1201 でメモリリクエストとメモリアドレスを受け取る。バンク判断手段 1202 で、メモリ制御装置 105 がアクセス中の後半の 8 バイトのバンクアクセスデータを読み出すバンク 1 へのメモリアクセス 301 とブロック 804 から出力された前半の 8 バイトのバンクアクセスデータを読み出すメモ 15 リリードリクエスト 302 が同一のバンクへのメモリアクセス要求であると判断し、リクエスト受信ブロック 1201 が許可信号生成ブロック 1005 に、ブロック 804 に対する許可信号を生成するよう指示する。さらに、リクエスト受信ブロック 1201 は、前半の 8 バイトのバンクアクセスデータを読み出すメモリリードリクエスト 302 と後半の 8 バイトのバンクアクセスデータを読み出すメモリリードリクエスト 303 のメモリアクセスの順序を入れ替えて、後半の 8 バイトのバンクアクセスデータを読み出すメモリリードリ 20 クエスト 303 に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 804 にメモリアクセス許可信号（図 3 (B)）を返信する（ア 25

クセス順序変換処理)。

制御信号生成プロック 1006 は前記リクエスト受信プロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

5 アドレス生成プロック 103 が調停回路 101 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたプロック 804 からのメモリアドレスを受け取り、メモリアクセスの順序を入れ替えて SDRAM 808 に出力する。コマンド生成プロック 102 が調停回路 101 から出力されたコマンド生成制御信号に基づき、
10 バンク 2 へのメモリリードアクセス 304 を実行後、バンク 1 へのメモリリードアクセス 305 を実行する。

SDRAM 808 は、コマンド生成プロック 102 から出力されたメモリコマンドと、アドレス生成プロック 103 から出力されたメモリアドレスに基づき、SDRAM 808 から D20, D21 の
15 8 バイトのバンクアクセステータ 306 と、D10, D11 の 8 バイトのバンクアクセステータ 307 を読み出す。

データラッチプロック 104 は、調停回路 101 で入れ替えたアクセス順(バンク 2 へのアクセス後、バンク 1 へのアクセス)に SDRAM 808 から読み出したバンクアクセステータ 306, 307 をリードデータラッチプロック 1303 でラッチし、データ入れ替えプロック 1302 で調停回路 101 から出力されたデータラッチ制御信号に基づいて、プロック 804 からメモリリクエスト 302, 303 が出力された元のアクセス順(バンク 1 へのアクセス後、
20 バンク 2 へのアクセス)に SDRAM 808 から読み出したバンク
25 アクセステータ 306, 307 を入れ替えてプロック 804 に出力

する（読み出しデータ順序変換処理）。

以上のような構成にしたため、SDRAM808に対してメモリ制御装置105がアクセス中の後半のバンクと次にアクセスするブロックからのメモリアクセス要求の前半のアクセスの対象となるバンクが同一である場合は、調停回路101が前半のアクセスと後半のアクセスの順序を入れ替えて、異なるバンクに連続してアクセスできるようにすることにより、SDRAM808にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。
5

また、メモリアドレスを生成する複数のブロックは、前記メモリ制御装置がアクセス中のバンクを意識することなくメモリアドレスを生成することができる。
10

また、SDRAM808に対するバンクアクセステータのアクセス順序を変更した場合でも、SDRAM808から16バイトのブロックアクセステータを読み出してデータラッチブロック104に格納するとともに格納したバンクアクセステータをSDRAM808から読み出した順序と逆の順序で、メモリアクセスを行ったブロックに対してデータラッチブロック104が転送することにより、メモリアクセス要求を行ったブロックはバンクを意識することなくSDRAM808から読み出したブロックアクセステータを受け取
15
20

この実施の形態2では、SDRAM808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。
25

また、この実施の形態2では、SDRAM808が「CASレイ

「テンシ」 = "3" に設定されている場合を一例として説明したが、例えば、「CAS レイテンシ」 = "2"、その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態 2 では、実施の形態 1 と同様にメモリアクセス優先順位指定手段 1003 を外部から設定可能な構成にして、
5 ブロック 804, 805, 806 の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態 2 では、メモリを SDRAM 808 という例で説明したが、SDRAM に限らず他の同期式メモリについても
10 同様の効果が得られる。

(実施の形態 3)

以下に、第 15 ないし第 19 の本発明の実施の形態について、図 1 及び図 4 及び図 12 を用いて説明する。図 4 は実施の形態 3 の主要な信号のタイミングチャート、図 12 は実施の形態 3 の調停回路を示すブロック図である。

メモリ制御装置 105 の構成に関しては、実施の形態 1 の構成(図 1) と同様なので図番を同じくして説明は省略する。

前記調停回路 101 は、図 1、図 12 に示すように前記複数プロック 804, 805, 806 からのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスのデータ単位を判断するデータ単位判断手段 1402 を含み、許可信号の生成を指示するリクエスト受信プロック 1401 と、前記複数プロック 804, 805, 806 からのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段 1003 と、前記複数プロ

ックからのメモリアクセス要求がバンクアクセスデータ単位の場合に設ける待ちサイクル数を指定するウェイトサイクル指定手段 1403と、前記リクエスト受信プロック 1401からの許可信号の生成を指示され、前記メモリへのアクセスを許可したプロックに許可信号を出力する許可信号生成プロック 1005と、前記リクエスト受信プロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成プロック 1006とで構成される。

図 4において、

- (A) は SDRAM 808 が動作するクロック、
- 10 (B) はプロック 805 から出力される調停回路 101 へのメモリリクエスト、
- (C) は調停回路 101 から返信されるプロック 805 へのメモリアクセス許可信号、
- 15 (D) はプロック 806 から出力される調停回路 101 へのメモリリクエスト、
- (E) は調停回路 101 から返信されるプロック 806 へのメモリアクセス許可信号、
- (F) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリアクセスを示す。

20 401 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリアクセス、
402 はプロック 805 のバンク 1 へのメモリリクエスト、
403 はプロック 805 のバンク 1 へのメモリアクセス、
404 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリアクセス、

25

405はブロック806のバンク2へのメモリリクエスト、

406はブロック806のバンク2へのメモリアクセスである。

本発明の実施の形態3のメモリ制御装置は、前述の実施の形態2の複数のブロック804, 805, 806からのメモリアクセス要求が異なるバンクに属する2組の8バイトのバンクアクセステータによって構成される16バイトのブロックアクセステータ単位で行われていたのに対し、前記16バイトのブロックアクセステータ単位でメモリアクセス要求を行うブロックと8バイトのバンクアクセステータ単体でメモリアクセス要求を行うブロックが存在する点が
5 前述の実施の形態2とは異なっている。そのため、複数のブロック804, 805, 806のうち、前記バンクアクセステータ単体でメモリアクセス要求が行われるブロック805, 806からのメモリアクセス要求を調停回路101が許可した場合、前記リクエスト受信ブロック1401でウェイトサイクル指定手段1403に設定
10 されたサイクル数だけ待ちサイクルを設け、前記バンクアクセステータ単位のメモリアクセスのサイクル数が前記ブロックアクセステータ単位のメモリアクセスのサイクル数と同じになるように制御する機能が実施の形態2とは異なっている。
15

以下、SDRAM808に備えられているモード設定を「CAS
20 レイテンシ」="3"、「バースト長」="2"と設定し、SDRAM808に対する優先順位をブロック804, 805, 806の順に優先順位が高いとメモリアクセス優先順位指定手段1003に設定し、ウェイトサイクル指定手段1403にバイトアクセステータ1つ分の待ちサイクル数を設定したとして、バイトアクセステータ単体でメモリアクセスの要求を行うブロック805が調停回路1

01 が直前にメモリアクセスを許可したバンクと同一のバンクから
データをリード（読み出し）する場合のメモリ制御装置 105 の動作
について説明する。 ブロック 805 が SDRAM 808 にアクセスする場合には、メモリ制御装置 105 を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック 805 から調停回路 101 にメモリリクエスト（図 4（B））が出力されると、SDRAM 808 に対するメモリリクエストを出力しているブロックが他に存在しなければ調停回路 101 がブロック 805 に対しメモリアクセス許可信号（図 4（C））を返信する。ブロック 805 の前記メモリリクエストと同時に他のブロック（例えば、ブロック 806）がメモリリクエスト（図 4（D））を出力している場合には、SDRAM 808 にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

メモリ制御装置 105 が SDRAM 808 のバンク 1 に対しアクセス中（図 4（F）401）でブロック 805 から SDRAM 808 のバンク 1 に対しメモリリードリクエスト（図 4（B）402）が出力されているとする。ブロック 805 からメモリリードリクエスト（図 4（B）402）が出力されると、調停回路 101 はリクエスト受信ブロック 1401 でメモリリクエストを受け取り、データ単位判断手段 1402 でブロック 805 からのメモリアクセス要求のデータ単位を判断し、許可信号生成ブロック 1005 に、ブロック 805 に対する許可信号を生成するよう指示するとともに、ウェイトサイクル指定手段 1403 に設定したバイトアクセスデータ 1 つ分の待ちサイクル数を設けて、ブロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 10

06に指示する。許可信号生成プロック1005はプロック805にメモリアクセス許可信号（図4（C））を返信する（アクセスウェイト処理）。

制御信号生成プロック1006は前記リクエスト受信プロック1
5 401からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従ってSDRAM808に対しメモリアクセス
403を実行する。

すなわち、アドレス生成プロック103が調停回路101から出
10 力されたアドレス生成制御信号に基づき、アクセスを許可されたブ
ロック805からのメモリアドレスを受け取り、バンクアクセスデ
ータ1つ分の待ちサイクルを設けてSDRAM808に出力する。
コマンド生成プロック102が調停回路101から出力されたコマ
15 ンド生成制御信号に基づき、バンクアクセスデータ1つ分の待ちサ
イクルを設けてメモリアクセス403を実行する。

次に、バイトアクセスデータ単体でメモリアクセスの要求を行う
プロック806が、調停回路地101が直前にメモリアクセスを許
可したバンクと異なるバンクからデータをリード（読み出し）する
場合のメモリ制御装置105の動作について説明する。

20 プロック806がSDRAM808にアクセスする場合も、プロ
ック805がSDRAM808にアクセスする場合と同様にメモリ
制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行
う。プロック806から調停回路101にメモリリクエスト（図4（D））が出力されると、SDRAM808に対するメ
25 モリリクエストを出力しているプロックが他に存在しなければ調停

回路 101 がブロック 806 に対しメモリアクセス許可信号（図 4 (E)）を返信する。ブロック 806 の前記メモリリクエストと同時に他のブロック（例えばブロック 805）がメモリリクエスト（図 4 (B)）を出力している場合には、SDRAM 808 にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

メモリ制御装置 105 が SDRAM 808 のバンク 1 に対しアクセス中（図 4 (F) 404）でブロック 806 から SDRAM 808 のバンク 2 に対しメモリリードリクエスト（図 4 (D) 405）が出力されているとする。ブロック 806 からメモリリードリクエスト（図 4 (D) 405）が出力されると、調停回路 101 はリクエスト受信ブロック 1401 でメモリリクエストを受け取り、データ単位判断手段 1402 でブロック 806 からのメモリアクセス要求のデータ単位を判断し、許可信号生成ブロック 1005 に、ブロック 806 に対する許可信号を生成するよう指示するとともに、ウェイトサイクル指定手段 1403 に設定したバイトアクセステータ 1 つ分の待ちサイクル数を設けて、ブロック 806 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 806 にメモリアクセス許可信号（図 4 (E)）を返信する（アクセスウェイト処理）。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1401 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って SDRAM 808 に対しメモリリードア

クセス 406 を実行する。

アドレス生成プロック 103 が調停回路 101 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたプロック 806 からのメモリアドレスを受け取り、バンクアクセステータ 1 つ分の待ちサイクルを設けて SDRAM 808 に出力する。コマンド生成プロック 102 が調停回路 101 から出力されたコマンド生成制御信号に基づき、バンクアクセステータ 1 つ分の待ちサイクルを設けてメモリーアクセス 406 を実行する。
5

以上のような構成にしたため、8 バイトのバンクアクセステータ単体のメモリアクセス要求を調停回路 101 が許可した場合は、ウェイトサイクル指定手段 1403 に設定したバイトアクセステータ 1 つ分の待ちサイクル数を設けて、プロック 806 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成プロック 1006 に指示することにより、直前のメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセステータ単体でメモリアクセスを行うために必要な回路を削減することができる。
10
15

この実施の形態 3 では、SDRAM 808 が「バースト長」 = "2" に設定されている場合を一例として説明したが、例えば、「バースト長」 = "4", "8", その他の値に設定されている場合にも、同様の効果が得られる。
20

また、この実施の形態 3 では、SDRAM 808 が「CAS レイテンシ」 = "3" に設定されている場合を一例として説明したが、例えば、「CAS レイテンシ」 = "2", その他の値に設定されて25いる場合にも、同様の効果が得られる。

また、この実施の形態3では、実施の形態1と同様にメモリアクセス優先順位指定手段1003を外部から設定可能な構成にして、ブロック804, 805, 806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

5 また、この実施の形態3では、バンクアクセステータ1つ分の待ちサイクルを設けるという例で説明したが、ウェイトサイクル指定手段1403を外部から設定可能な構成にして、待ちサイクル数を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態3では、メモリをSDRAM808という
10 例で説明したが、SDRAMに限らず他の同期式メモリについても同様の効果が得られる。

(実施の形態4)

以下に、第20ないし第26の本発明の実施の形態について、図
15 1及び図5及び図13及び図14を用いて説明する。図5は実施の形態4の主要な信号のタイミングチャート、図13は実施の形態4の調停回路を示すブロック図である。

メモリ制御装置105の構成に関しては、実施の形態1の構成(図1)と同様なので図番を同じくして説明は省略する。

20 前記調停回路101は、図1、図13に示すように複数ブロック804, 805, 806からのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段1502を含み、許可信号の生成を指示するリクエスト受信ブロック1501と、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指

定手段 1003 と、直前に許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するロックを選択するリードアクセス時優先順位指定手段 1503 と、前記リクエスト受信ロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したロックに許可信号を出力する許可信号生成ロック 1005 と、前記リクエスト受信ロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ロック 1006 とで構成される。

図 5において、

10 (A) は SDRAM 808 が動作するクロック、
(B) はロック 804 から出力される調停回路 101 へのメモリリクエスト、
(C) は調停回路 101 から返信されるロック 804 へのメモリアクセス許可信号、
15 (D) はロック 805 から出力される調停回路 101 へのメモリリクエスト、
(E) は調停回路 101 から返信されるロック 805 へのメモリアクセス許可信号、
(F) はメモリ制御装置 105 が SDRAM 808 に対し実行して
20 いるメモリアクセスを示す。

501 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス、
502 はロック 804 のバンク 2 へのメモリライトリクエスト、
503 はロック 805 のバンク 0 へのメモリリードリクエスト、
25 504 はロック 805 のバンク 0 へのメモリリードアクセス、

505はブロック804のバンク2へのメモリライトアクセスである。

本発明の実施の形態4のメモリ制御装置は、前述の実施の形態1の調停回路101が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように複数のブロック804, 805, 806のメモリアクセスの優先順位を変更していたのに対し、調停回路101が直前に許可したメモリアクセスがリードアクセスの場合に前記複数のブロックのメモリアクセスの優先順位を変更する機能が前述の実施の形態1とは異なっている。

最初に、調停回路101が直前に許可したメモリアクセスがリードアクセスで、次のメモリアクセス要求にリードアクセスが存在する場合について説明する。

以下、SDRAM808に備えられているモード設定を「CAS
レイテンシ」="3"、 「バースト長」="2"と設定し、SDRAM808に対する優先順位をブロック804, 805, 806の順に優先順位が高いとメモリアクセス優先順位指定手段1003に設定したとして、ブロック804がSDRAM808にデータをライト（書き込み）する場合のメモリ制御装置105の動作について説明する。

ブロック804がSDRAM808にアクセスする場合には、メモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック804から調停回路101にメモリリクエスト（図5（B））が出力されると、SDRAM808に対するメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック804に対しメモリアクセス許可信号

(図 5 (C)) を返信する。ブロック 804 の前記メモリリクエストと同時に他のブロック (ブロック 805, 806) がメモリリクエスト (図 5 (D)) を出力している場合には、SDRAM 808 にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

メモリ制御装置 105 が SDRAM 808 のバンク 1 に対しリードアクセス中 (図 5 (F) 501) でブロック 804 から SDRAM 808 のバンク 2 に対しメモリライトリクエスト (図 5 (B) 502) が出力され、それと同時にブロック 805 から SDRAM 808 のバンク 0 に対しメモリリードリクエスト (図 5 (D) 503) が出力されているとする。調停回路 101 はリクエスト受信ブロック 1501 でブロック 804, 805 から出力されているメモリリクエストを受け取り、アクセス要求判断手段 1502 で、直前に許可したリードアクセス (図 5 (F) 501) と同じリードアクセス要求が、ブロック 805 から出力されている (図 5 (D) 503) と判断し、許可信号生成ブロック 1005 に、ブロック 805 に対する許可信号を生成するよう指示するとともに、ブロック 805 から出力されている SDRAM 808 のバンク 0 に対するメモリリードリクエスト 503 の優先順位をブロック 804 から出力されているバンク 2 へのメモリライトリクエストより上げて、ブロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 805 に対しメモリアクセス許可信号 (図 5 (E)) を返信する (リードアクセス優先処理) 。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1

501からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って SDRAM 808 に対しメモリリードアクセス 504 を実行する。

5 その後、SDRAM 808 からデータを読み出す間待ちサイクルを設け、ブロック 804 の SDRAM 808 のバンク 2 に対するメモリライトリクエスト 502 を受け付け、ブロック 804 にメモリアクセス許可信号（図 5（C））を返信し、ブロック 804 のバンク 2 へのメモリライトアクセス 505 を実行する。

10 コマンド生成ブロック 102 及びアドレス生成ブロック 103 及びデータラッチブロック 104 の動作については、実施の形態 1 と同様なので省略する。

15 次に、調停回路 101 が直前に許可したメモリアクセスがリードアクセスの場合に、リードアクセスの優先順位を上げる場合について説明する。

以下、SDRAM 808 に備えられているモード設定を「CAS レイテンシ」 = "3" 、「バースト長」 = "2" と設定し、SDRAM 808 に対する優先順位をブロック 804, 805, 806 の順に優先順位が高いとメモリアクセス優先順位指定手段 1003 に設定し、ブロック 804 がバンク 2 にメモリライトリクエストを、ブロック 805 がバンク 0 にメモリリードリクエストを出力するとする。

20 調停回路 101 が直前に許可したアクセスがリードアクセスで、メモリ制御装置 105 がバンク 1 にメモリリードアクセス中（図 5（F）501）であるとき、アクセス要求判断手段 1502 は、直

前のリードアクセスを許可した時点でライトアクセスの優先順位を下げる。ブロック 804 から SDRAM 808 のバンク 2 へのメモリライトリクエスト（図 5（B）502）が出力され、それと同時にブロック 805 からバンク 0 へのメモリリードリクエスト（図 5
5 (D) 503）が出力されると、リクエスト受信ブロック 1501 は許可信号生成ブロック 1005 に、ブロック 805 に対する許可信号を生成するよう指示するとともに、ブロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 8
10 05 にメモリアクセス許可信号（図 5（E））を返信する（リードアクセス優先処理）。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1501 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って SDRAM 808 に対しメモリリードアクセス 504 を実行する。その後、SDRAM 808 からデータを読み出す間待ちサイクルを設け、ブロック 804 の SDRAM 808 のバンク 2 に対するメモリライトリクエスト 502 を受け付け、ブロック 805 にメモリアクセス許可信号（図 5（C））を返信し、
15 ブロック 804 のバンク 2 へのメモリライトアクセス 505 を実行する。
20

コマンド生成ブロック 102 及びアドレス生成ブロック 103 及びデータラッチブロック 104 の動作については、実施の形態 1 と同様なので省略する。

25 次に、調停回路 101 が直前に許可したメモリアクセスがリード

アクセスの場合に、次にリードアクセスを許可するブロックを選択する場合について図14を用いて説明する。図14は、実施の形態4において、調停回路101が直前に許可したメモリアクセスがリードアクセスの場合に次にリードアクセスを許可する場合のタイミングチャートである。

図14において、

- (A) は S D R A M 8 0 8 が動作するクロック、
- (B) はブロック804から出力される調停回路101へのメモリリクエスト、
- 10 (C) は調停回路101から返信されるブロック804へのメモリアクセス許可信号、
- (D) はブロック805から出力される調停回路101へのメモリリクエスト、
- 15 (E) は調停回路101から返信されるブロック805へのメモリアクセス許可信号、
- (F) はブロック806から出力される調停回路101へのメモリリクエスト、
- 20 (G) は調停回路101から返信されるブロック806へのメモリアクセス許可信号、
- (H) はメモリ制御装置105が S D R A M 8 0 8 に対し実行しているメモリアクセスを示す。
- 25

1601はメモリ制御装置105がアクセス中のバンク1へのメモリリードアクセス、

1602はブロック806のバンク0へのメモリリードアクセス、

1603はブロック804のバンク2へのメモリライトアクセス、

5 1604はブロック805のバンク1へのメモリリードアクセスである。

以下、SDRAM808に備えられているモード設定を「CAS
レイテンシ」="3"、「バースト長」="2"と設定し、SDRAM808に対する優先順位をブロック804, 805, 806の
10 順に優先順位が高いとメモリアクセス優先順位指定手段1003に設定し、直前に許可したメモリアクセスがリードアクセスの場合に、
次にリードアクセスを許可するブロックの優先順位をブロック806, 805, 804の順に優先順位が高いとリードアクセス時優先
順位指定手段1503に設定し、ブロック804がバンク2にメモ
15 リライトリクエストを、ブロック805がバンク1にメモリリードリクエストを、ブロック806がバンク0にメモリリードリクエストを出力するとする。

調停回路101が直前に許可したアクセスがバンク1へのメモリリードアクセスで、メモリ制御装置105がバンク1にメモリリードアクセス中（図14（H）1601）であるとき、ブロック804からのSDRAM808のバンク2へのメモリライトリクエスト（図14（B））が出力されると、調停回路101はリクエスト受信ブロック1501でブロック804, 805, 806から出力されているメモリリクエストを受け取り、アクセス要求判断手段1502で、直前に許可したリードアクセス（図14（H）1601）

と同じリードアクセス要求が、ブロック 805, 806 から出力されている（図 14（D）, （F））と判断し、リードアクセス時優先順位指定手段 1503 の設定に従って、許可信号生成ブロック 1005 に、ブロック 806 に対する許可信号を生成するよう指示する。それとともに、ブロック 806 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 806 にメモリアクセス許可信号（図 14（G））を返信する（リードアクセス時優先順位変更処理）。

10 アドレス生成ブロック 103 が調停回路 101 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック 806 からのメモリアドレスを受け取り、SDRAM 808 に出力する。コマンド生成ブロック 102 が調停回路 101 から出力されたコマンド生成制御信号に基づき、RAS, CAS などのメモリコマンドを生成し、前記メモリコマンドを SDRAM 808 に出力し、ブロック 806 のバンク 0 へのメモリリードアクセス 1602 を実行する。

ブロック 806 のバンク 0 へのメモリリードアクセス 1602 が終わると、メモリアクセスを許可する優先順位に従って、ブロック 20 804 のバンク 2 へのメモリライトアクセス 1603 を実行し、続いてブロック 805 のバンク 1 へのメモリリードアクセス 1604 を実行する。

以上のような構成にしたため、SDRAM 808 に対してメモリ制御装置 105 がメモリリードアクセス中の場合は、調停回路 101 がリードアクセスの優先順位を上げて、連続してリードアクセス

が行われるようにメモリアクセス要求の優先順位を変更することにより、SDRAM808にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

この実施の形態4では、SDRAM808が「バースト長」="5 2"に設定されている場合を一例として説明したが、例えば、「バースト長」="4", "8", その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態4では、SDRAM808が「CASレイテンシ」="3"に設定されている場合を一例として説明したが、例えば、「CASレイテンシ」="2", その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態4では、実施の形態1と同様にメモリアクセス優先順位指定手段1003を外部から設定可能な構成にして、ブロック804, 805, 806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態4では、直前にアクセスを許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するブロックの優先順位をブロック806, 805, 804の順に優先順位が高いという例で説明したが、リードアクセス時優先順位指定手段1503を外部から設定可能な構成にして、ブロック804, 805, 806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態4では、メモリをSDRAM808という例で説明したが、SDRAMに限らず他の同期式メモリについても同様の効果が得られる。

(実施の形態 5)

以下に、第 27 ないし第 33 の本発明の実施の形態について、図 6 及び図 7 及び図 15 及び図 16 を用いて説明する。図 6 は、本発明におけるメモリ制御装置を示すブロック図、図 7 は、実施の形態 5 の主要な信号のタイミングチャート、図 15 は実施の形態 5 の調停回路を示すブロック図である。

図 6において、このメモリ制御装置 105 は調停回路 101、コマンド生成ブロック 102、アドレス生成ブロック 103、データラッチブロック 104 については実施の形態 1 の構成と同じであり、説明を省略する。この実施の形態 5 は、SDRAM 808 の内部データを保持するために一定時間毎に調停回路 101 に対し、リフレッシュ要求信号を出力するリフレッシュ要求ブロック 601 を有する。

前記調停回路 101 は、図 15 に示すように前記リフレッシュ要求ブロック 601 からのリフレッシュ要求と前記複数ブロック 804、805、806 からのメモリリクエストを受け取り、受け取ったリフレッシュ要求とメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段 1502 を含み、許可信号の生成を指示するリクエスト受信ブロック 1701 と、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段 1003 と、前記リフレッシュ要求ブロックからリフレッシュ要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、次にメモリへのアクセスを許可するブロックを選択するライトアクセス時優先順位指定手

段 1702 と、前記リクエスト受信ブロック 1701 からの許可信号の生成を指示され、前記 SDRAM 808 へのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロック 1005 と、前記リクエスト受信ブロック 1701 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する制御信号生成ブロック 1006 とで構成される。

図 7において、

- (A) は SDRAM 808 が動作するクロック、
- 10 (B) はリフレッシュ要求ブロック 601 から出力されるリフレッシュ要求信号、
- (C) は調停回路 101 からリフレッシュ要求ブロック 601 へリフレッシュ許可信号、
- 15 (D) はブロック 804 から出力される調停回路 101 へのメモリリクエスト、
- (E) は調停回路 101 から返信されるブロック 804 へのメモリアクセス許可信号、
- (F) はブロック 805 から出力される調停回路 101 へのメモリリクエスト、
- 20 (G) は調停回路 101 から返信されるブロック 805 へのメモリアクセス許可信号、
- (H) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリアクセスを示す。

701 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリライトアクセス、

702はブロック804のバンク1へのメモリリードアクセス、
703はリフレッシュ要求ブロック601のリフレッシュ動作、
704はブロック805のバンク0へのメモリリードアクセスである。

5 本発明の実施の形態5のメモリ制御装置は、前述の実施の形態4
の調停回路101が直前に許可したメモリアクセスがリードアクセ
スの場合に前記複数のブロックのメモリアクセスの優先順位を変更
していたのに対し、直前に許可したメモリアクセスがライトアクセ
スの場合に、前記複数のブロックのメモリアクセスの優先順位を変
10 更する機能が前述の実施の形態4とは異なっている。

最初に、調停回路101が直前に許可したメモリアクセスがライ
トアクセスで、リフレッシュ要求ブロックからリフレッシュ要求が
出力された場合について説明する。

以下、SDRAM808に備えられているモード設定を「CAS
15 レイテンシ」="3"、「バースト長」="2"と設定し、SDRAM808に対する優先順位をリフレッシュ要求ブロック601、
ブロック804、805、806の順に優先順位が高いとメモリア
クセス優先順位指定手段1003に設定したとして、リフレッシュ
要求ブロック601がSDRAM808に対しリフレッシュ動作を
20 実行する場合のメモリ制御装置105の動作について説明する。

リフレッシュ要求ブロック601がSDRAM808にアクセス
する場合には、メモリ制御装置105を介して、制御信号の受け渡
しを行う。リフレッシュ要求ブロック601から調停回路101に
リフレッシュ要求信号（図7（B））が出力されると、SDRAM
25 808に対するメモリリクエストを出力しているブロックが他に存

在しなければ調停回路 101 がリフレッシュ要求ブロック 601 に対し、リフレッシュ許可信号（図 7（C））を返信する。リフレッシュ要求ブロック 601 の前記リフレッシュ要求信号と同時に他のブロック（ブロック 804, 805, 806）がメモリリクエスト（図 7（D），（F））を出力している場合には、SDRAM 808 にアクセスする優先順位に従って優先順位の高いブロックに対し許可信号を返信する。

メモリ制御装置 105 が SDRAM 808 のバンク 0 に対しライトアクセス中（図 7（H）701）でリフレッシュ要求ブロック 601 からリフレッシュ要求信号（図 7（B））が出力され、それと同時にブロック 804 からバンク 1 へのメモリリードリクエスト（図 7（D））と、ブロック 805 からバンク 0 へのメモリリードリクエスト（図 7（F））が出力されているとする。調停回路 101 はリクエスト受信ブロック 1701 でリフレッシュ要求ブロック 601 から出力されているリフレッシュ要求とブロック 804, 805 から出力されているメモリリクエストを受け取り、アクセス要求判断手段 1502 で、リフレッシュ要求（図 7（B））が出力されていると判断し、許可信号生成ブロック 1005 に、ブロック 804 に対する許可信号を生成するよう指示するとともに、リフレッシュ要求ブロックから出力されているリフレッシュ要求の優先順位を下げて、ブロック 804 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 804 に対しメモリアクセス許可信号（図 7（E））を返信する（リフレッシュ順序変更処理）。

25 制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1

701からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って SDRAM 808 に対しメモリリードアクセス 702 を実行する。

5 その後、SDRAM 808 に対しリフレッシュ動作 703 を実行し、リフレッシュ動作が終了すると、ブロック 805 から出力されている SDRAM 808 のバンク 0 に対するメモリリードリクエスト（図 7（F））を受け付け、ブロック 805 に対しメモリアクセス許可信号（図 7（G））を返信し、ブロック 805 のバンク 0 へのメモリリードアクセス 704 を実行する。
10

コマンド生成ブロック 102 及びアドレス生成ブロック 103 及びデータラッチブロック 104 の動作については、実施の形態 1 と同様なので省略する。

次に、調停回路 101 が直前に許可したメモリアクセスがライト
15 アクセスの場合に、リフレッシュ要求の優先順位を下げる場合について説明する。

以下、SDRAM 808 に備えられているモード設定を「CAS レイテンシ」 = "3"、 「バースト長」 = "2" と設定し、SDRAM 808 に対する優先順位をブロック 804, 805, 806 の順に優先順位が高いとメモリアクセス優先順位指定手段 1003 に設定し、リフレッシュ要求ブロック 601 からリフレッシュ要求信号が出力され、ブロック 804 がバンク 1 へのメモリリードリクエストを、ブロック 805 がバンク 0 へのメモリリードリクエストを出力するとする。

25 調停回路 101 が直前に許可したアクセスがライトアクセスで、

メモリ制御装置 105 がバンク 0 にメモリライトアクセス中（図 7 (H) 701）であるとき、アクセス要求判断手段 1502 では、直前のライトアクセスを許可した時点でリフレッシュ要求の優先順位を下げる。ブロック 804 から SDRAM 808 のバンク 1 への
5 メモリライトリクエスト（図 7 (D)）が出力され、それと同時にブロック 805 からバンク 0 へのメモリリードリクエスト（図 7 (F)）が出力されると、リクエスト受信ブロック 1701 は許可信号生成ブロック 1005 に、ブロック 804 に対する許可信号を生成するよう指示する。それとともに、ブロック 804 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック
10 1006 に指示する。許可信号生成ブロック 1005 はブロック 804 にメモリアクセス許可信号（図 7 (E)）を返信する（リフレッシュ順序変更処理）。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1
15 701 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って SDRAM 808 に対しメモリリードアクセス 702 を実行する。

その後、SDRAM 808 に対しリフレッシュ動作 703 を実行
20 し、リフレッシュ動作が終了すると、ブロック 805 から出力されている SDRAM 808 のバンク 0 に対するメモリリードリクエスト（図 7 (F)）を受け付け、ブロック 805 に対しメモリアクセス許可信号（図 7 (G)）を返信し、ブロック 805 のバンク 0 へのメモリリードアクセス 704 を実行する。

25 コマンド生成ブロック 102 及びアドレス生成ブロック 103 及

びデータラッチブロック 104 の動作については、実施の形態 1 と同様なので省略する。

次に、調停回路 101 が直前に許可したメモリアクセスがライトアクセスの場合に、次にリードアクセスを許可するブロックを選択する場合について図 16 を用いて説明する。図 16 は、実施の形態 5において、直前に許可したメモリアクセスがライトアクセスの場合に次にリードアクセスを許可する場合のタイミングチャートである。

図 16において、

- 10 (A) は SDRAM 808 が動作するクロック、
- (B) はリフレッシュ要求ブロック 601 から出力されるリフレッシュ要求信号、
- (C) は調停回路 101 からリフレッシュ要求ブロック 601 へリフレッシュ許可信号、
- 15 (D) はブロック 804 から出力される調停回路 101 へのメモリリクエスト、
- (E) は調停回路 101 から返信されるブロック 804 へのメモリアクセス許可信号、
- (F) はブロック 805 から出力される調停回路 101 へのメモリリクエスト、
- 20 (G) は調停回路 101 から返信されるブロック 805 へのメモリアクセス許可信号、
- (H) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリアクセスを示す。

25 1801 はメモリ制御装置 105 がアクセス中のバンク 0 へのメモ

リライトアクセス、

1802はブロック805のバンク2へのメモリリードアクセス、

1803はリフレッシュ要求ブロック601のリフレッシュ動作、

1804はブロック804のバンク1へのメモリリードアクセスで

5 ある。

以下、SDRAM808に備えられているモード設定を「CAS

レイテンシ」="3"、「バースト長」="2"と設定し、SDRAM808に対する優先順位をリフレッシュ要求ブロック601、

ブロック804, 805, 806の順に優先順位が高いとメモリア

10 クセス優先順位指定手段1003に設定し、直前に許可したメモリ

アクセスがライトアクセスの場合に、次にリードアクセスを許可す

るブロックの優先順位をブロック806, 805, 804、リフレ

ッシュ要求ブロック601の順に優先順位が高いとライトアクセス

時優先順位指定手段1702に設定する。そして、リフレッシュ要

15 求ブロック601がリフレッシュ要求を、ブロック804がバンク

1にメモリリードリクエストを、ブロック805がバンク2にメモ

リリードリクエストを出力するとする。

調停回路101が直前に許可したアクセスがバンク0へのメモリ

ライトアクセスで、メモリ制御装置105がバンク0にメモリライ

20 トアクセス中（図16（H）1801）であるとき、調停回路10

1はリクエスト受信ブロック1701でリフレッシュ要求ブロック

601から出力されているリフレッシュ要求信号と、ブロック80

4, 805, 806から出力されているメモリリクエストを受け取

り、アクセス要求判断手段1502で、リフレッシュ要求（図16

25 （B））と、ブロック804, 805からリードリクエストが出力

されている（図 16（D），（F））と判断し、ライトアクセス時優先順位指定手段 1702 の設定に従って、許可信号生成プロック 1005 に、プロック 805 に対する許可信号を生成するよう指示する。それとともに、プロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成プロック 1006 に指示する。許可信号生成プロック 1005 はプロック 805 にメモリアクセス許可信号（図 16（G））を返信する（ライトアクセス時優先順位変更処理）。

アドレス生成プロック 103 が調停回路 101 から出力されたアドレスタイプ信号に基づき、アクセスを許可されたプロック 805 からのメモリアドレスを受け取り、SDRAM 808 に出力する。コマンド生成プロック 102 が調停回路 101 から出力されたコマンド生成制御信号に基づき、RAS, CAS などのメモリコマンドを生成し、前記メモリコマンドを SDRAM 808 に出力し、プロック 805 のバンク 2 へのメモリリードアクセス 1802 を実行する。

プロック 805 のバンク 2 へのメモリリードアクセス 1802 が終わると、メモリアクセスを許可する優先順位に従って、リフレッシュ要求プロック 601 のリフレッシュ動作 1803 を実行し、プロック 804 のバンク 1 へのメモリリードアクセス 1604 を実行する。

以上のような構成にしたため、SDRAM 808 に対してメモリ制御装置 105 がメモリライトアクセス中の場合は、調停回路 101 がライトアクセスの後のリフレッシュ動作の優先順位を下げて、他のプロックからのリードアクセス要求を受け付けることにより、

S D R A M 8 0 8 にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

この実施の形態 5 では、S D R A M 8 0 8 が「バースト長」 = "2" に設定されている場合を一例として説明したが、例えば、「バースト長」 = "4", "8", その他の値に設定されている場合にも、同様の効果が得られる。
5

また、この実施の形態 5 では、S D R A M 8 0 8 が「C A S レイテンシ」 = "3" に設定されている場合を一例として説明したが、例えば、「C A S レイテンシ」 = "2", その他の値に設定されて
10 いる場合にも、同様の効果が得られる。

また、この実施の形態 5 では、実施の形態 1 と同様にメモリアクセス優先順位指定手段 1 0 0 3 を外部から設定可能な構成にして、ブロック 8 0 4, 8 0 5, 8 0 6 の優先順位を変更しても良く、その場合でも同様の効果が得られる。

15 なお、この実施の形態 5 では、直前にアクセスを許可したメモリアクセスがライトアクセスの場合に、次にリードアクセスを許可するブロックの優先順位をブロック 8 0 6, 8 0 5, 8 0 4 の順に優先順位が高いという例で説明したが、ライトアクセス時優先順位指定手段 1 7 0 2 を外部から設定可能な構成にして、ブロック 8 0 4,
20 8 0 5, 8 0 6 の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態 5 では、メモリを S D R A M 8 0 8 という例で説明したが、S D R A M に限らず他の同期式メモリについても同様の効果が得られる。

(実施の形態 6)

以下に、第34ないし第40の本発明の実施の形態について、図1及び図17を用いて説明する。図17は実施の形態6における調停回路を示すブロック図である。

5 メモリ制御装置105の構成に関しては、実施の形態1の構成(図1)と同様なので図番を同じくして説明は省略する。

調停回路101は、図1、図17に示すように前記複数ブロック804, 805, 806からのメモリリクエストとメモリアドレスを受け取り、許可信号の生成を指示するリクエスト受信ブロック1001が、実施の形態1及び実施の形態4で説明したバンク判断手段1002とアクセス要求判断手段1502を含むよう構成されており、前記複数ブロック804, 805, 806からのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段1003と、前記複数ブロック804, 805, 806からのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路101が直前に許可したメモリアクセスがリードアクセスの場合に、メモリアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段1902と、前記調停方法指定手段1902の設定がバンク優先の場合に、次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段1004と、前記調停方法指定手段1902の設定がアクセス優先の場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段1503と、前記リクエスト受信ブロック1901からの許可信号の生成を指示され、前記SDRAM808へのアクセスを許可したブロックに許可信号を出力する許可信

号生成ブロック 1005 と、前記リクエスト受信ブロック 1901 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する制御信号生成ブロック 1006 とで構成される。

5 本発明の実施の形態 6 のメモリ制御装置は、前述の実施の形態 1 の調停回路 101 が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように複数のブロック 804, 805, 806 のメモリアクセスの優先順位を変更する。また、前述の実施の形態 4 の調停回路 101 が直前に許可したメモリアクセスがリードアクセスの場合に前記複数のブロックのメモリアクセスの優先順位を変更していたのに対し、調停回路 101 がメモリアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段 1902 を持ち、前記複数ブロック 804, 805, 806 からのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対する

10 アクセス要求でかつ、前記調停回路 101 が直前に許可したメモリアクセスがリードアクセスの場合でも、前記調停方法指定手段 1902 の設定に従って調停方法を指定する機能が前述の実施の形態 1 及び実施の形態 4 とは異なっている。

15 前記調停方法指定手段 1902 の設定がバンク優先の場合には、リクエスト受信ブロック 1901 はバンク判断手段 1002 を用いて、前述の実施の形態 1 と同様に同一バンクが連続しないようにメモリアクセスの優先順位を変更する。

20 また、前記調停方法指定手段 1902 の設定がアクセス優先の場合にはリクエスト受信ブロック 1901 はアクセス要求手段 1502 を用いて、前述の実施の形態 4 と同様にリードアクセスが連続す

るようメモリアクセスの優先順位を変更する。

以上のような構成にしたため、前記複数ブロック 804, 805, 806からのメモリアクセス要求が、直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、SDRAM 808に対し
5 メモリ制御装置 105がメモリリードアクセス中の場合でも、調停回路 101が同一のバンクに対するメモリアクセスを出力するブロックの優先順位を下げる。または、異なるバンクに対するメモリアクセス要求を出力しているブロックの優先順位を上げて、異なるバンクに連続してアクセスできるようにする。または、調停回路 1
10 101がリードアクセスの優先順位を上げて、連続してリードアクセスが行われるようにメモリアクセス要求の優先順位を変更する。かかる作用により、SDRAM 808にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

この実施の形態 6 では、調停方法指定手段 1902を外部から設定可能な構成にして、調停方法を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態 6 では、メモリを SDRAM 808という例で説明したが、SDRAMに限らず他の同期式メモリについても同様の効果が得られる。

請求の範囲

1. 複数のバンクを有するメモリを制御するメモリ制御装置において、

複数のブロックからの前記メモリにアクセスするためのメモリア
5 クセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマ
ンドを生成するコマンド生成プロックと、

前記調停回路によってアクセスを許可されたブロックからのメモ
10 リアドレスを受け取り、前記メモリに出力するアドレス生成プロッ
クと、

前記調停回路によってアクセスを許可された前記ブロックからの
書き込みデータまたは前記メモリからの読み出しデータをラッチし
て、アクセスを許可された前記ブロックと前記メモリ間のデータの
受け渡しを行うデータラッチプロックとを備え、

15 前記調停回路が直前にメモリアクセスを許可したバンクとは異なる
バンクにアクセスするように前記複数のブロックのメモリアクセ
スの優先順位を変更することを特徴とするメモリ制御装置。

2. 前記調停回路が、

前記複数プロックからのメモリリクエストとメモリアドレスを受
け取り、受け取ったメモリアドレスから同一バンクに対するアクセ
スか判断するバンク判断手段を含み、許可信号の生成を指示するリ
クエスト受信プロックと、

前記複数プロックからのメモリアクセスの優先順位を指定するメ
モリアクセス優先順位指定手段と、

25 前記複数プロックからのメモリアクセス要求が直前にアクセスし

たバンクと同一バンクに対するアクセス要求の場合に次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する

5 許可信号生成ブロックと、

前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする請求項 1 に記載のメモリ制御装置。

3. 前記調停回路は、直前にメモリアクセスを許可したバンク
10 と同一のバンクにアクセスするブロックに対するメモリアクセスの優先順位を下げる特徴とする請求項 1 に記載のメモリ制御装置。

4. 前記調停回路は、直前にメモリアクセスを許可したバンクと異なるバンクにアクセスするブロックに対するメモリアクセスの優先順位を上げること特徴とする請求項 1 に記載のメモリ制御装置。
15

5. 前記調停回路は、直前にメモリアクセスを許可したバンクと次のメモリアクセスで要求されたバンクが同一である場合に、メモリアクセスの優先順位を下げること特徴とする請求項 1 に記載
20 のメモリ制御装置。

6. 前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できること特徴とする請求項 2 に記載のメモリ制御装置。

25 7. 前記同一バンク時優先順位指定手段は、外部から設定可能

であり前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に、前記同一バンク時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができるこ
5 とを特徴とする請求項2に記載のメモリ制御装置。

8. 前記メモリは、同期式メモリであることを特徴とする請求項1に記載のメモリ制御装置。

9. 複数のバンクを有するメモリを制御するメモリ制御装置において、

10 複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

15 前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、

前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、
20

前記メモリの同一バンクに対して書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセスデータをバンクアクセスデータとし、異なるバンクに属する2組の前記バンクアクセスデータによって構成されるデータ単位をブロックアクセスデータとし、

25 前記複数のブロックが前記ブロックアクセスデータ単位でメモリ

アクセス要求をしたとき、直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合には、前記調停回路が前記ブロックアクセステータ内のバンクアクセステータのメモリアクセスの順序を入れ替えることを特徴とする

5 メモリ制御装置。

10. 前記調停回路が、

前記複数ブロックからのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一のバンクに対するアクセスか判断するバンク判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、

前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、
15 前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、

前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする請求項 9 に記載のメモリ制御装置。

20 11. 前記データラッチブロックが、

前記複数ブロックからのライトデータを受け取り、ラッチするライトデータラッチブロックと、

前記調停回路からのデータラッチ制御信号に基づき、前記ライトデータラッチブロックが出力するバンクアクセステータの順序を入れ替え、ライトデータとして前記メモリへ出力し、さらに後述する

リードデータラッチblockが出力するバンクアクセステータの順序を入れ替えリードデータとして前記メモリへのリードアクセスを許可されたblockへ出力するデータ入れ替えblockと、

5 前記メモリから読み出されたリードデータを受け取り、ラッチするリードデータラッチblockとを備えることを特徴とする請求項
9に記載のメモリ制御装置。

12. 前記調停回路は、直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合、前記blockアクセステータ内の前記バンクアクセステータの順序を入れ替えて前記メモリから前記blockアクセステータを読み出して前記データラッチblockに格納し、前記データラッチblockは、格納した前記blockアクセステータ内の前記バンクアクセステータ単位で順序を入れ替えて、メモリアクセスを行った前記blockに対して転送することを特徴とする請求項9に記載のメ
15 モリ制御装置。

13. 前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のblockからの前記メモリに対する優先順位を変更できることを特徴とする請求項10に記載のメモリ制御装置。

20 14. 前記メモリは、同期式メモリであることを特徴とする請求項9に記載のメモリ制御装置。

15. 複数のバンクを有するメモリを制御するメモリ制御装置において、

25 複数のblockからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成プロック
5 クと、

前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

10 前記メモリの同一バンクに対して、書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセステータをバンクアクセステータとし、異なるバンクに属する2組の前記バンクアクセステータによって構成されるデータ単位をブロックアクセステータとするとき、前記メモリへのアクセスを許可された前記ブロックからの
15 メモリアクセス要求が前記バンクアクセステータ単体の場合には、前記調停回路が待ちサイクルを設けるように前記コマンド生成ブロックに指示することを特徴とするメモリ制御装置。

16. 前記調停回路が、

前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスのデータ単位を判断するデータ単位判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、

前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

25 前記複数ブロックからのメモリアクセス要求がバンクアクセステ

ータ単位の場合に設ける待ちサイクル数を指定するウェイトサイクル指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、
前記メモリへのアクセスを許可したブロックに許可信号を出力する
5 許可信号生成ブロックと、

前記リクエスト受信ブロックからの制御信号の生成を指示され、
各制御信号を生成する制御信号生成ブロックとを備えることを特徴
とする請求項 1 5 に記載のメモリ制御装置。

17. 前記メモリアクセス優先順位指定手段は、外部から設定
10 可能であり前記メモリアクセス優先順位指定手段の設定により、前
記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴
とする請求項 1 6 に記載のメモリ制御装置。

18. 前記ウェイトサイクル指定手段は、外部から設定可能で
あり前記ウェイトサイクル指定手段の設定により、前記コマンド生
15 成ブロックで設ける待ちサイクル数を変更できることを特徴とする
請求項 1 6 に記載のメモリ制御装置。

19. 前記メモリは、同期式メモリであることを特徴とする請
求項 1 5 に記載のメモリ制御装置。

20. 複数のバンクを有するメモリを制御するメモリ制御装置
20 において、

複数のブロックからの前記メモリにアクセスするためのメモリア
クセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマ
ンドを生成するコマンド生成ブロックと、

25 前記調停回路によってアクセスを許可されたブロックからのメモ

リアドレスを受け取り、前記メモリに出力するアドレス生成プロックと、

前記調停回路によってアクセスを許可された前記プロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、
5 アクセスを許可された前記プロックと前記メモリ間のデータの受け渡しを行うデータラッチプロックとを備え、

前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、連続してリードアクセスが行われるように前記複数のプロックのメモリアクセス要求の優先順位を変更することを特徴とする
10 メモリ制御装置。

21. 前記調停回路が、

前記複数プロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスの種類を判断する
15 アクセス要求判断手段を含み、許可信号の生成を指示するリクエスト受信プロックと、

前記複数プロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

直前に許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するプロックを選択するリードアクセス時優
20 先順位指定手段と、

前記リクエスト受信プロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したプロックに許可信号を出力する許可信号生成プロックと、

前記リクエスト受信プロックからの制御信号の生成を指示され、
25 各制御信号を生成する制御信号生成プロックとを備えることを特徴

とする請求項 20 に記載のメモリ制御装置。

22. 前記調停回路は、直前に許可したメモリアクセスがリードアクセスの場合に、リードアクセスの優先順位を上げることを特徴とする請求項 20 に記載のメモリ制御装置。

5 23. 前記調停回路は、直前に許可したメモリアクセスがリードアクセスで、次のメモリアクセス要求にリードアクセスが存在する場合に、リードアクセスの優先順位を上げることを特徴とする請求項 20 に記載のメモリ制御装置。

10 24. 前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 21 に記載のメモリ制御装置。

15 25. 前記リードアクセス時優先順位指定手段は、外部から設定可能であり前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するロックを選択することができることを特徴とする請求項 20 に記載のメモリ制御装置。

26. 前記メモリは、同期式メモリであることを特徴とする請求項 20 に記載のメモリ制御装置。

27. 複数のバンクを有するメモリを制御するメモリ制御装置において、

前記メモリの内部データを保持するために一定間隔でリフレッシュ動作を要求するリフレッシュ要求ロックと、

25 複数のロックからの前記メモリにアクセスするためのメモリア

クセス要求と前記リフレッシュ要求ブロックからのリフレッシュ要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

- 5 前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成プロックと、

- 10 前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチプロックとを備え、

前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合は、前記リフレッシュ要求ブロックからのリフレッシュ要求の優先順位を変更することを特徴とするメモリ制御装置。

- 15 28. 前記調停回路が、

- 20 前記リフレッシュ要求ブロックからのリフレッシュ要求と前記複数ブロックからのメモリリクエストを受け取り、受け取ったリフレッシュ要求とメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、

前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

- 25 前記リフレッシュ要求ブロックからリフレッシュ要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、次にリードアクセスを許可するブロックを選択するライト

アクセス時優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、
前記メモリへのアクセスを許可したブロックに許可信号を出力する
許可信号生成ブロックと、

5 前記リクエスト受信ブロックからの制御信号の生成を指示され、
各制御信号を生成する制御信号生成ブロックとを備えることを特徴
とする請求項 27 に記載のメモリ制御装置。

29. 前記調停回路は、直前に許可したメモリアクセスがライ
トアクセスの場合に、リフレッシュ要求の優先順位を下げることを
10 特徴とする請求項 27 に記載のメモリ制御装置。

30. 前記調停回路は、直前に許可したメモリアクセスがライ
トアクセスで、次のメモリアクセス要求にリフレッシュ要求が存在
する場合に、リフレッシュ要求の優先順位を下げることを特徴とす
る請求項 27 に記載のメモリ制御装置。

15 31. 前記メモリアクセス優先順位指定手段は、外部から設定
可能であり前記メモリアクセス優先順位指定手段の設定により、前
記複数のブロックからの前記メモリに対する優先順位を変更できること
を特徴とする請求項 28 に記載のメモリ制御装置。

32. 前記ライトアクセス時優先順位指定手段は、外部から設定
可能であり前記リフレッシュ要求ブロックからリフレッシュ要求
が output され、前記調停回路が直前に許可したメモリアクセスがライ
トアクセスの場合に、前記ライトアクセス時優先順位指定手段に設定
された優先順位に従って、次にメモリへのアクセスを許可するブ
ロックを選択することができることを特徴とする請求項 28 に記載
25 のメモリ制御装置。

33. 前記メモリは、同期式メモリであることを特徴とする請求項27に記載のメモリ制御装置。

34. 複数のバンクを有するメモリを制御するメモリ制御装置において、

5 複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

10 前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、

15 前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、前記調停回路が前記複数のブロックのメモリアクセスの優先順位を変更20 するための調停方法を指定することを特徴とするメモリ制御装置。

35. 前記調停回路が、

前記複数ブロックからのメモリアドレスを受け取り、受け取ったメモリアドレスから同一バンクに対するアクセスか判断するバンク判断手段と、

25 前記複数ブロックからのメモリリクエストを受け取り、受け取っ

たメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段と、

前記バンク判断手段と前記アクセス要求判断手段とを含み、許可信号の生成を指示するリクエスト受信ブロックと、

5 前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、メモ
10 リアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段と、

前記調停方法指定手段の設定がバンク優先の場合に、次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段と、

15 前記調停方法指定手段の設定がアクセス優先の場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、

20 前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする請求項 3 4 に記載のメモリ制御装置。

36. 前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できる

ことを特徴とする請求項 3 5 に記載のメモリ制御装置。

3 7 . 前記調停方法指定手段は、外部から設定可能であり前記調停方法指定手段の設定により、前記複数のブロックからのメモリアクセスの調停方法を変更できることを特徴とする請求項 3 5 に記載のメモリ制御装置。
5

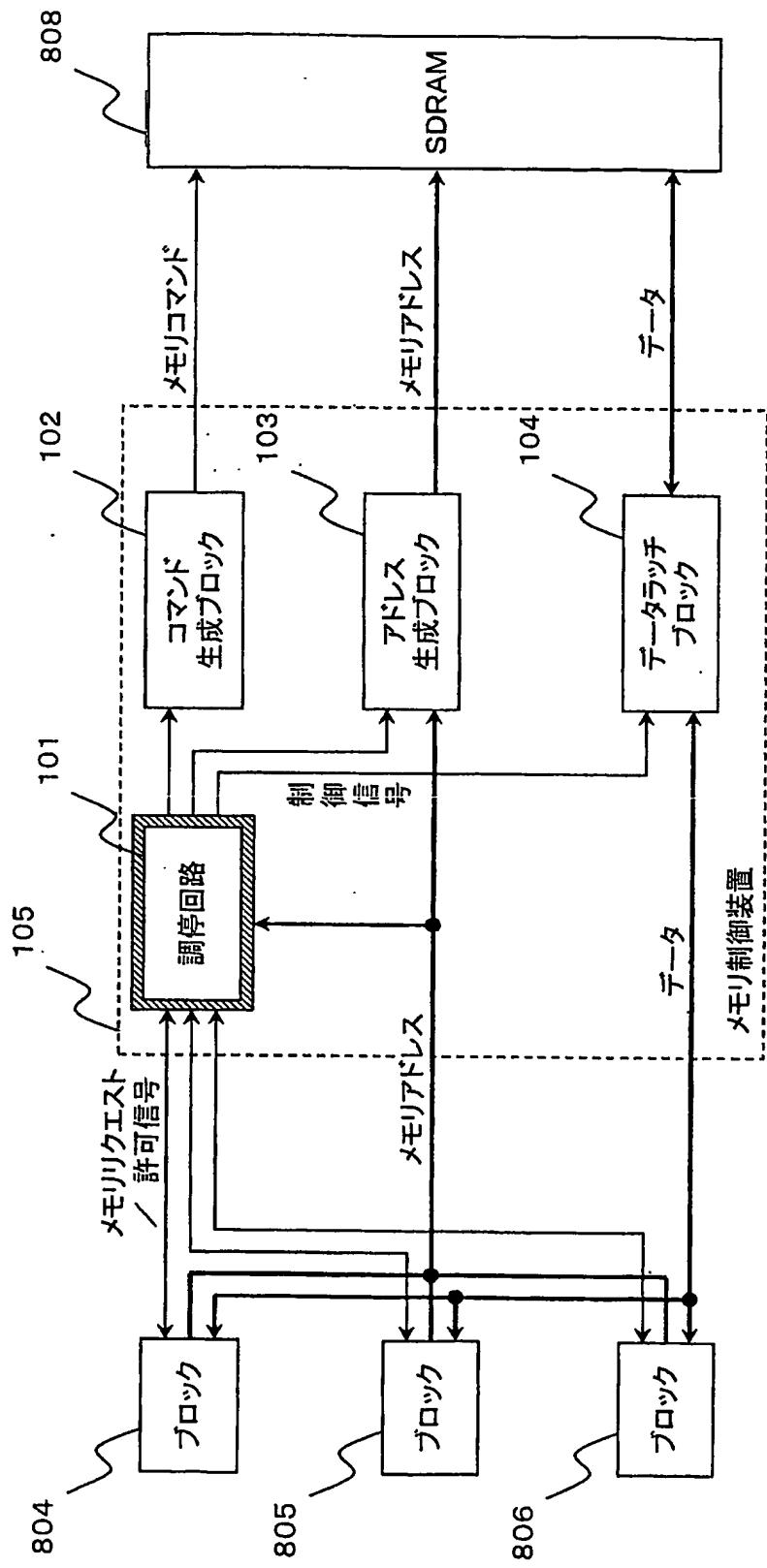
3 8 . 前記同一バンク時優先順位指定手段は、外部から設定可能であり前記調停方法指定手段の設定がバンク優先の場合でかつ、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に、前記同一バン
10 ク時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができることを特徴とする請求項 3 5 に記載のメモリ制御装置。

3 9 . 前記リードアクセス時優先順位指定手段は、外部から設定可能であり前記調停方法指定手段の設定がアクセス優先の場合で
15 かつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するブロックを選択することができる 것을 특징으로 하는請求項 3 5 に記載의 메모리 제어 장치。

20 4 0 . 前記メモリ는、同期식 메모리である 것을 특징으로 하는請求項 3 4 に記載의 메모리 제어 장치。

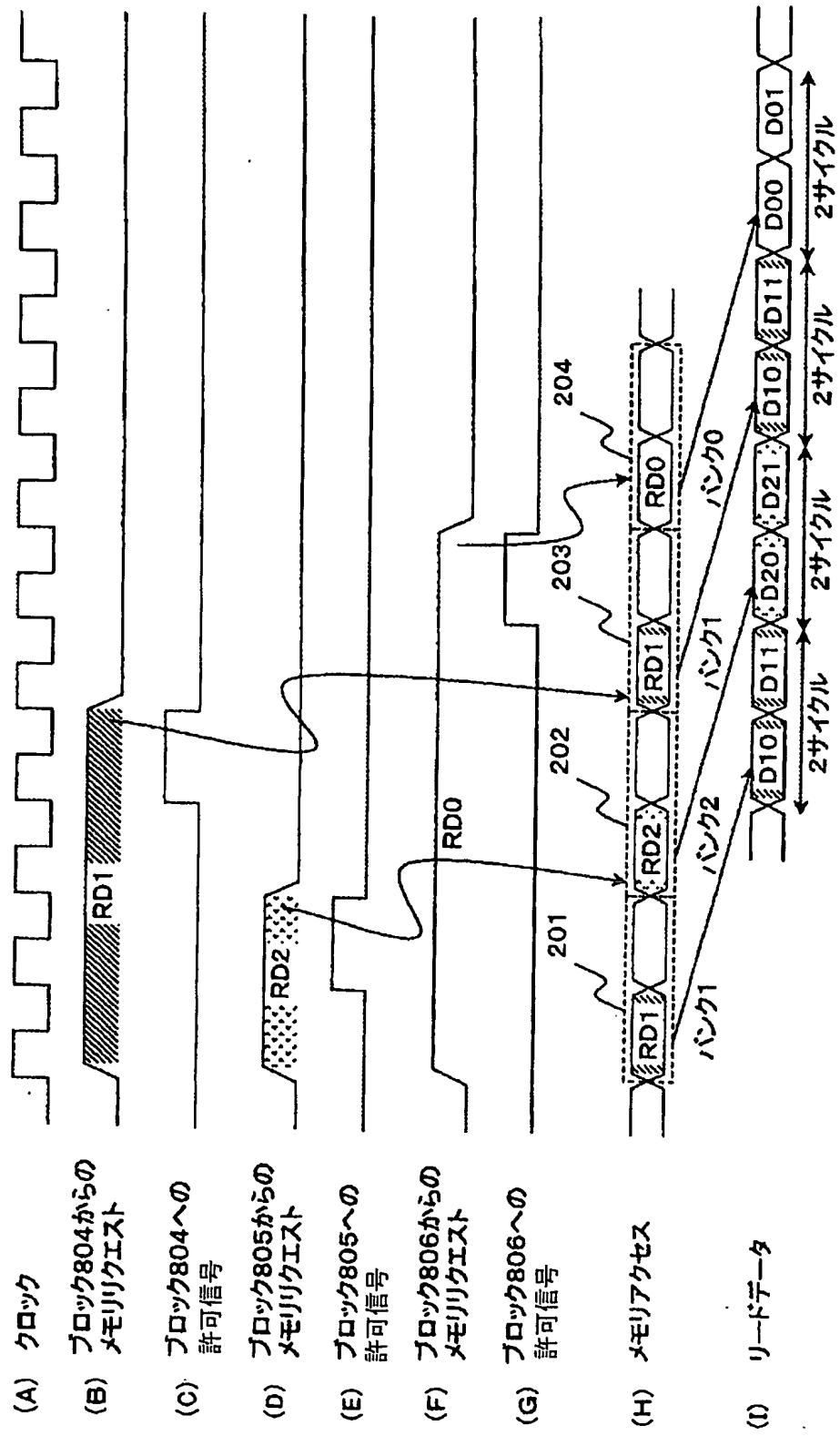
1/19

図 1



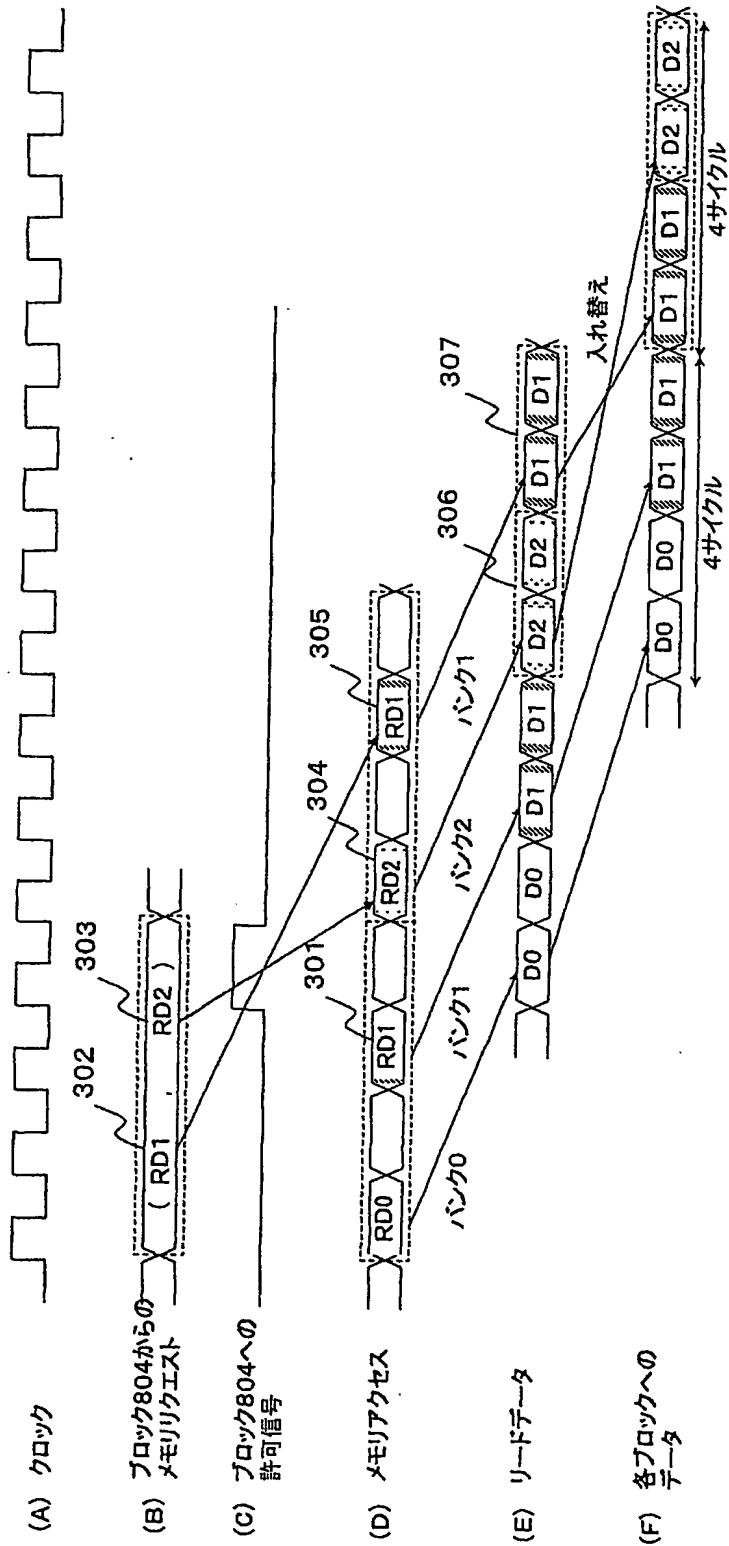
2/19

図 2



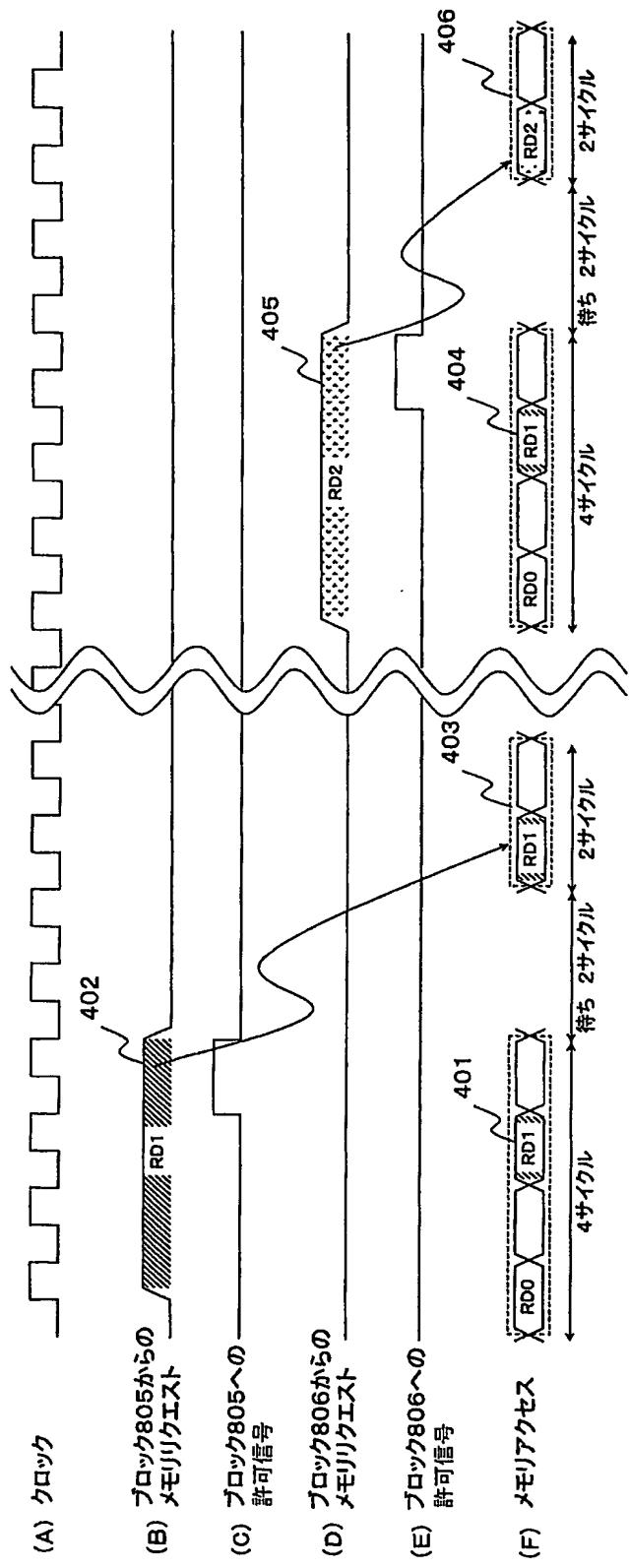
3/19

3



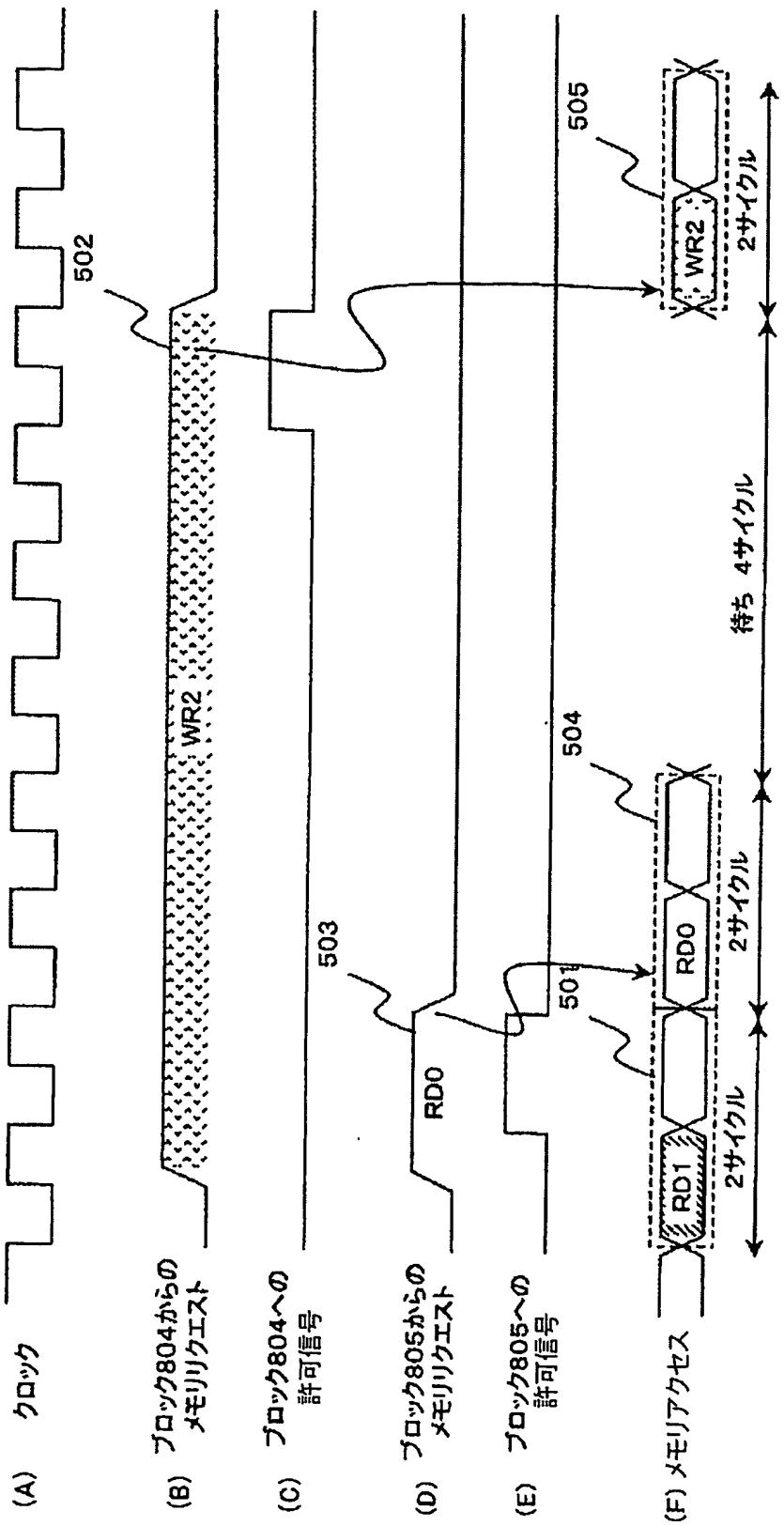
4/19

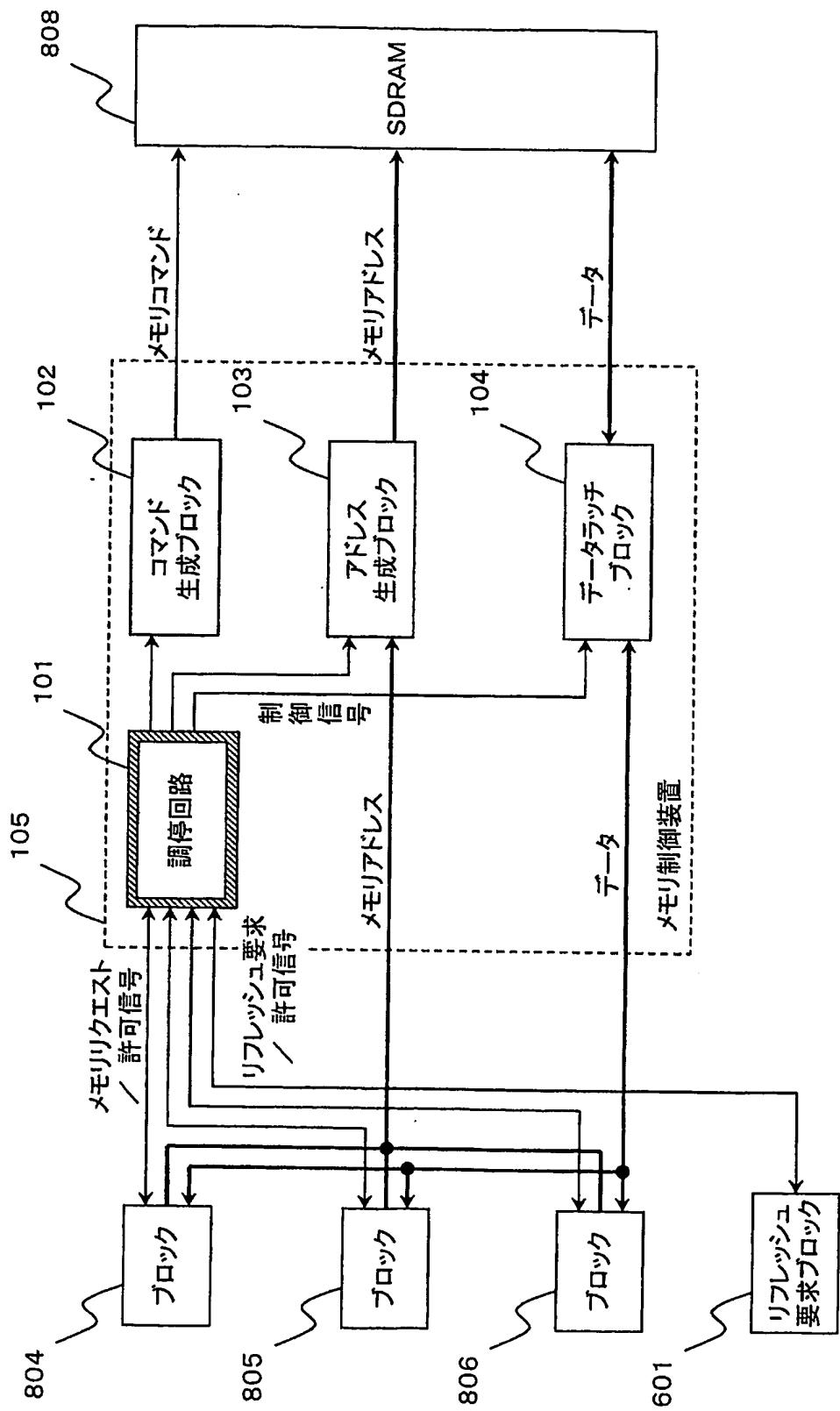
図 4



5/19

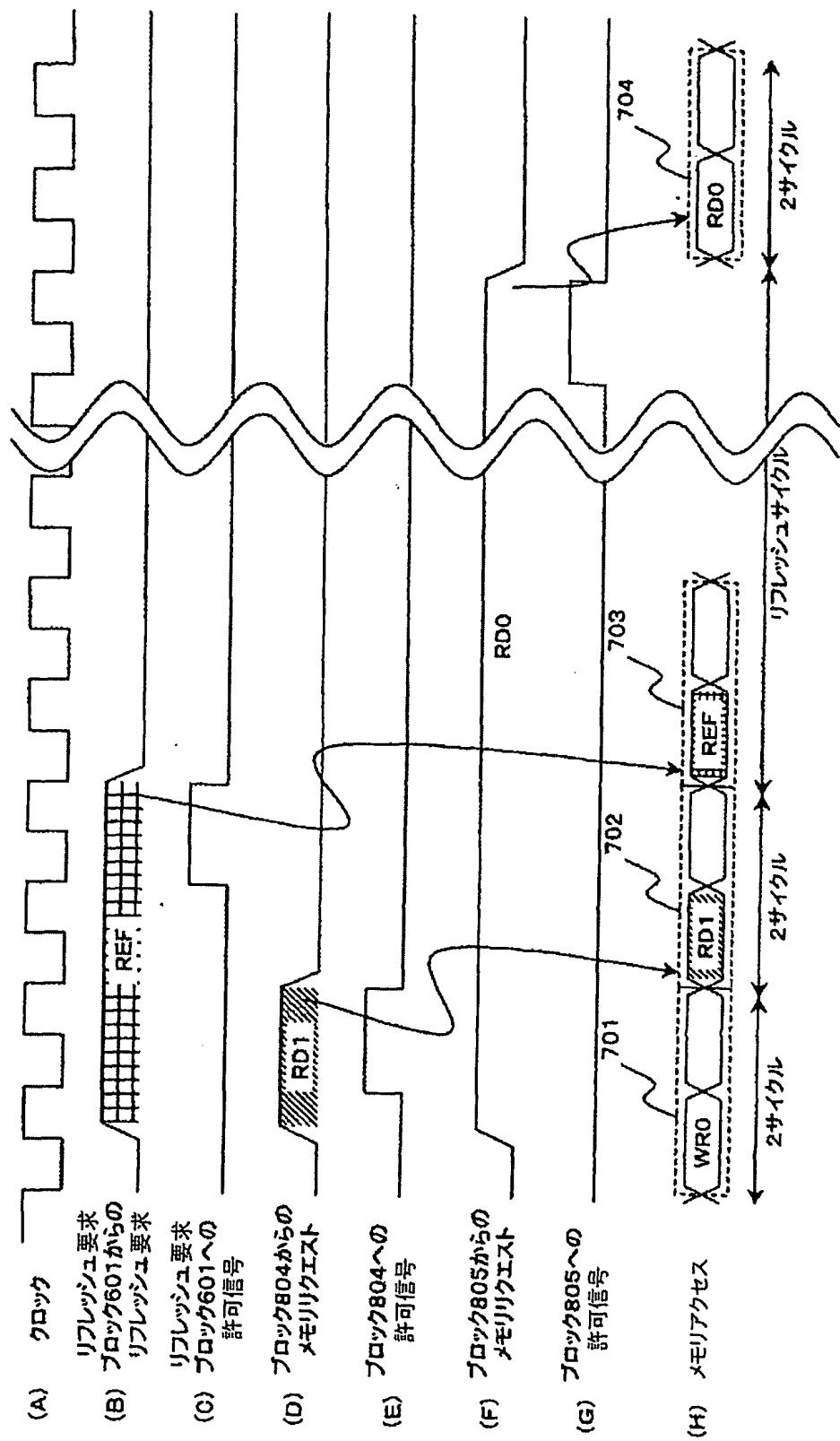
図 5



6/19
図 6

7/19

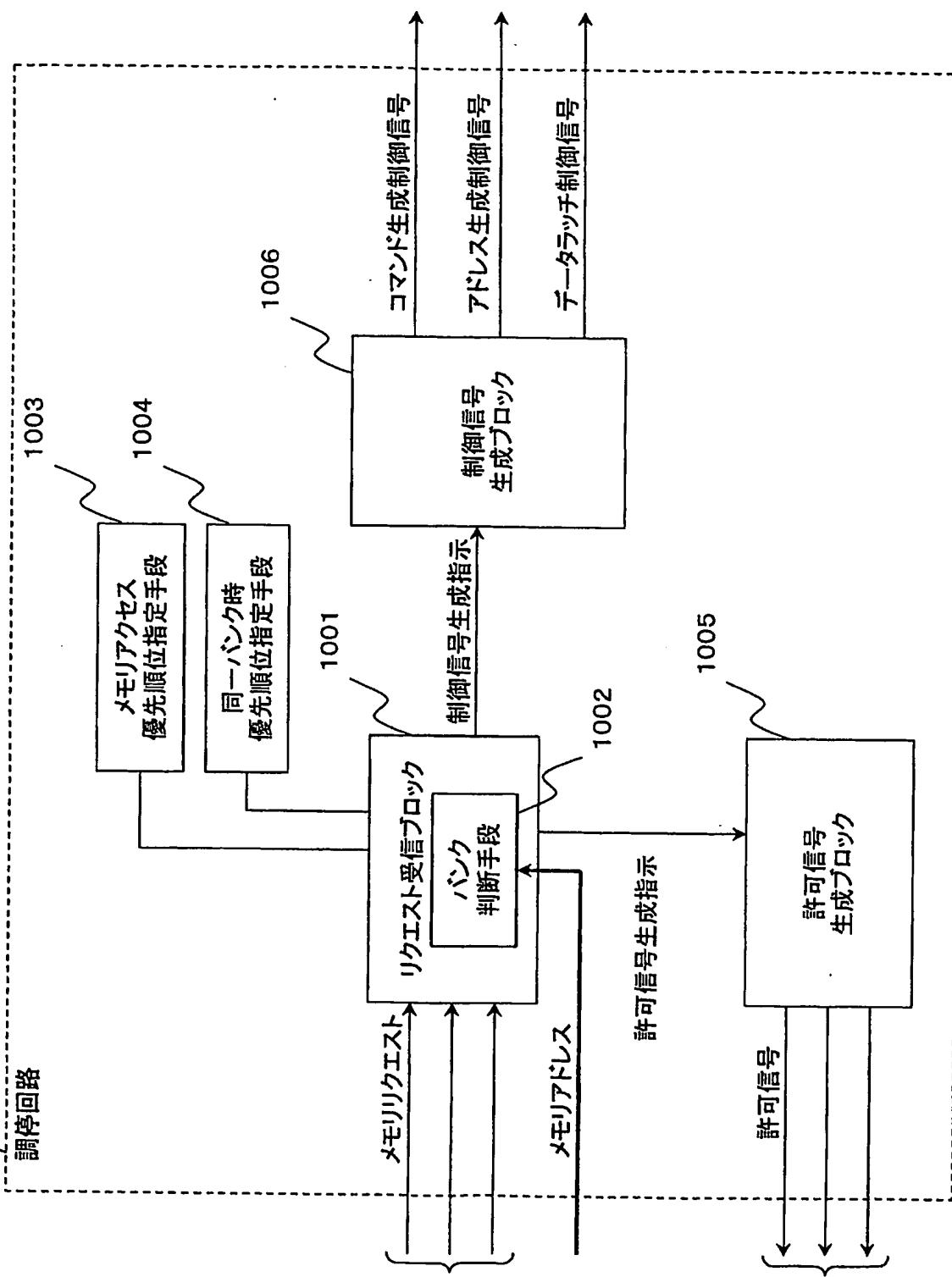
図 7



8/19

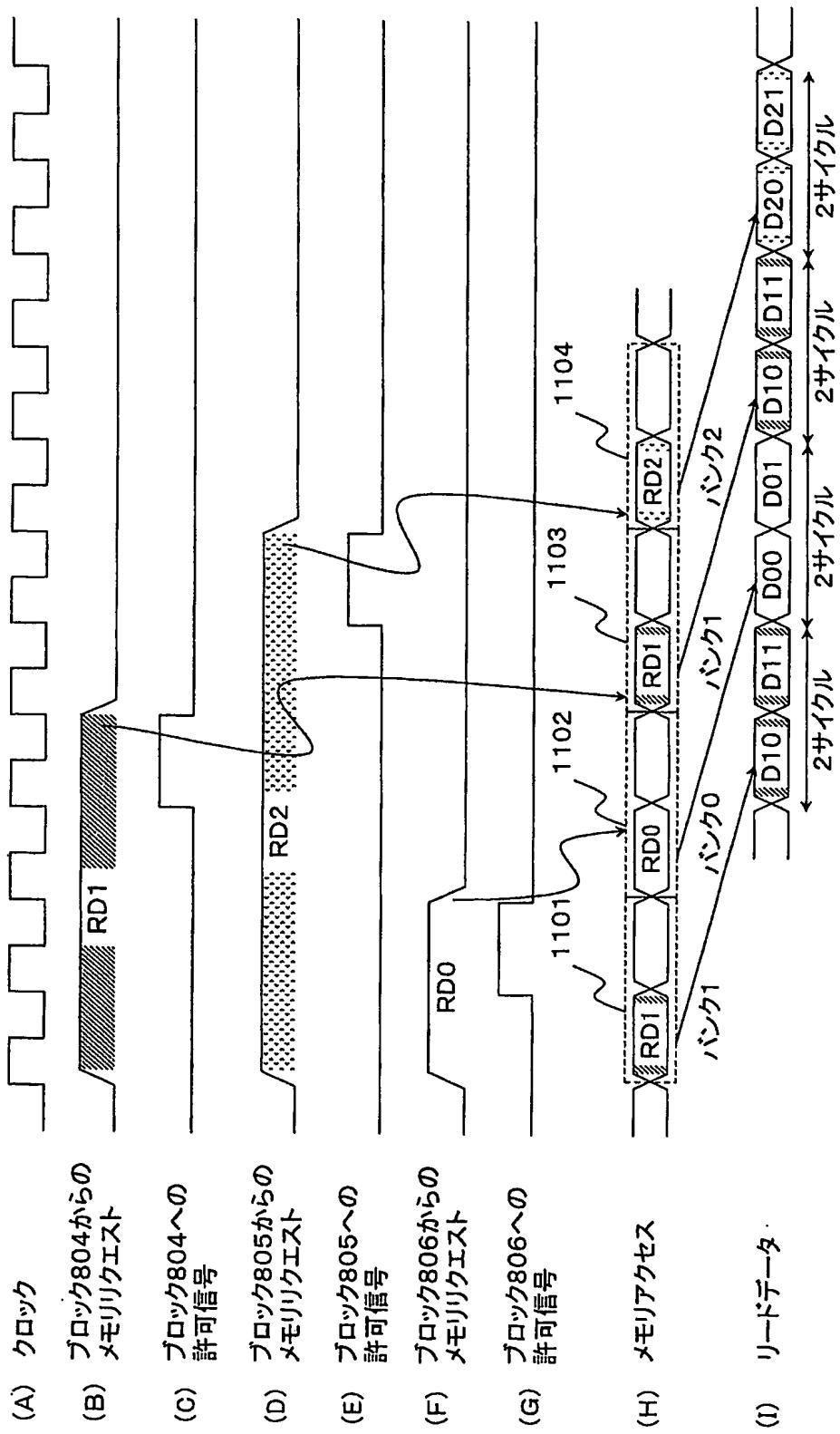
図 8

101 調停回路



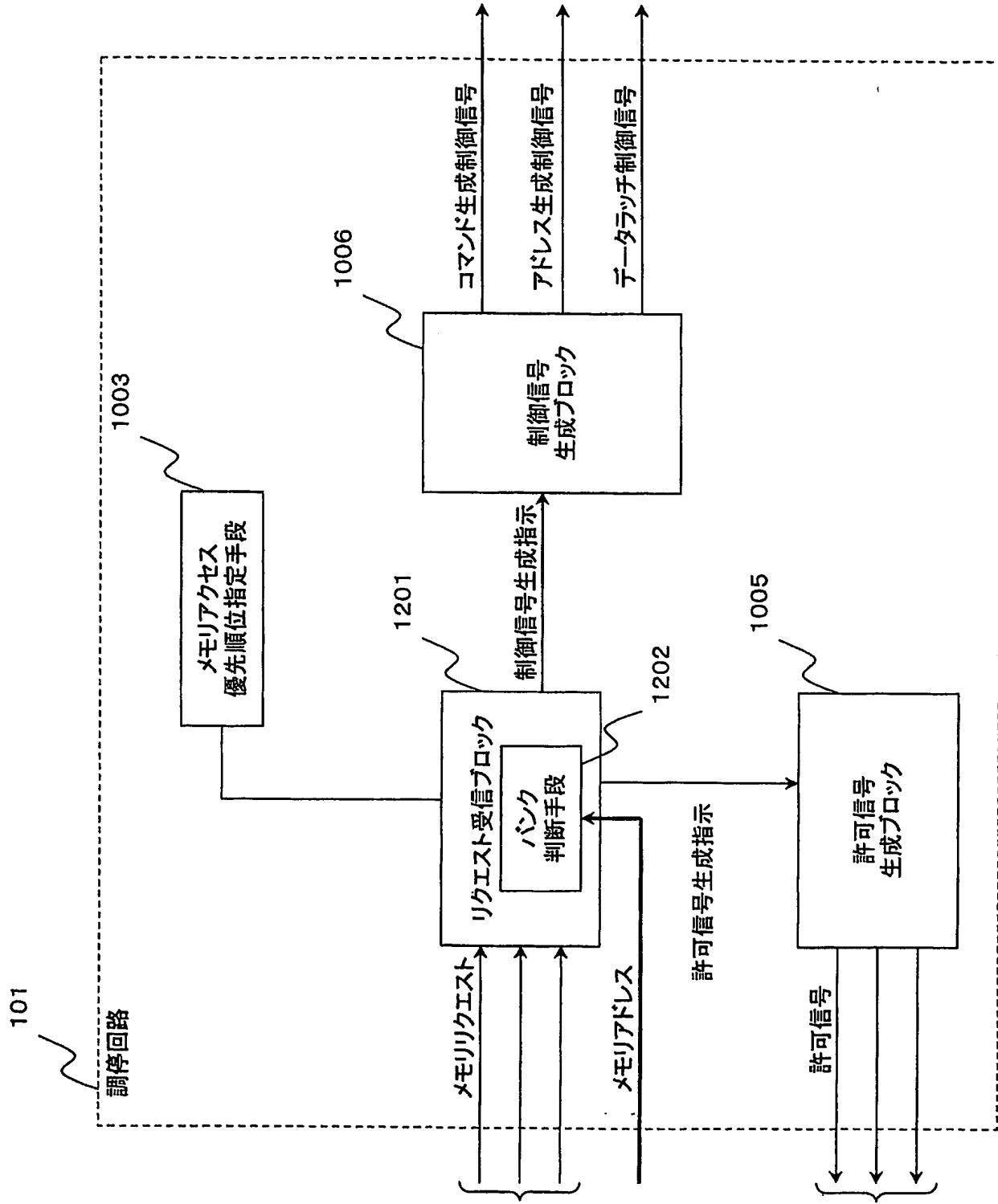
9/19

図 9



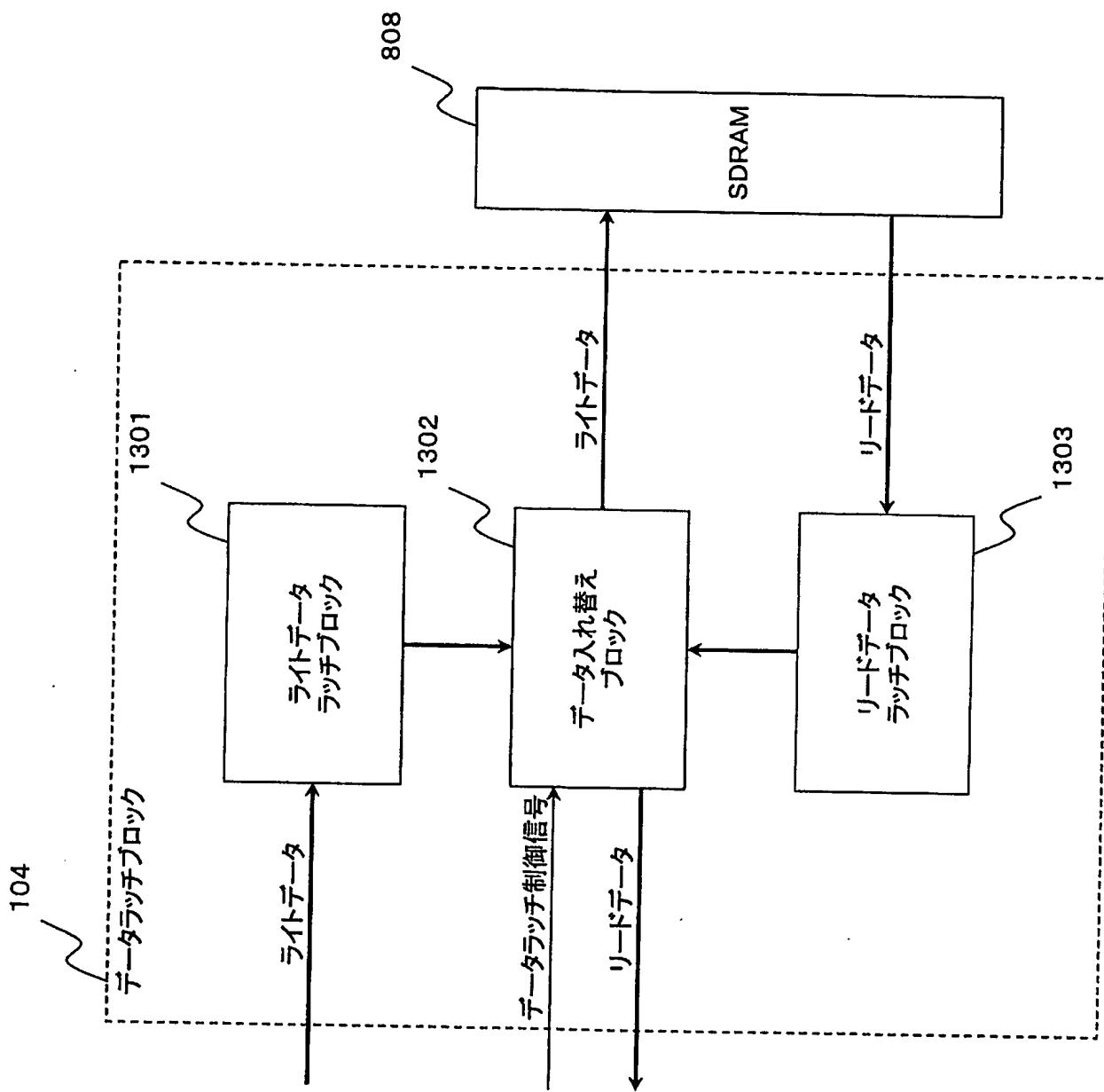
10/19

図 10



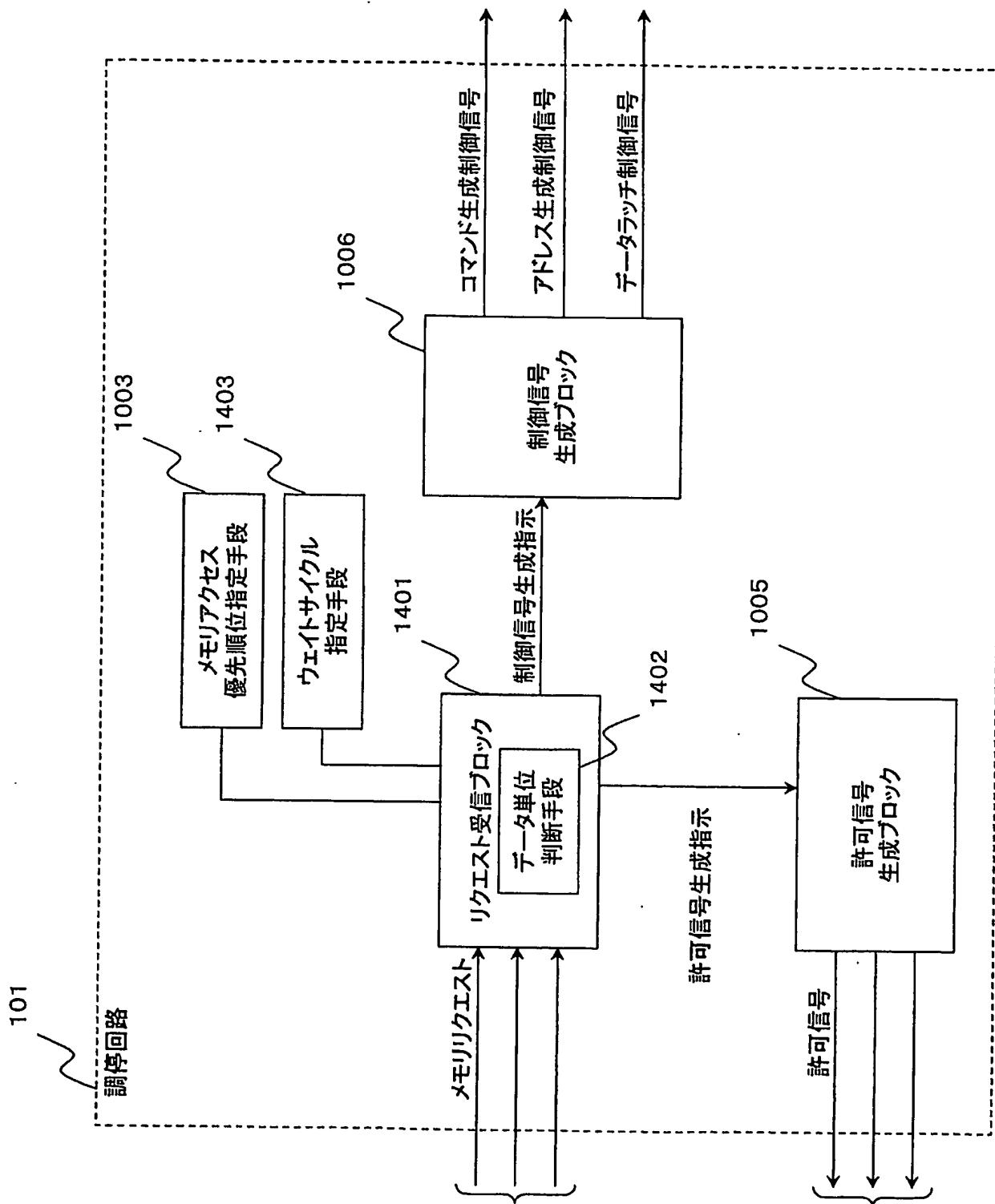
11/19

図 11



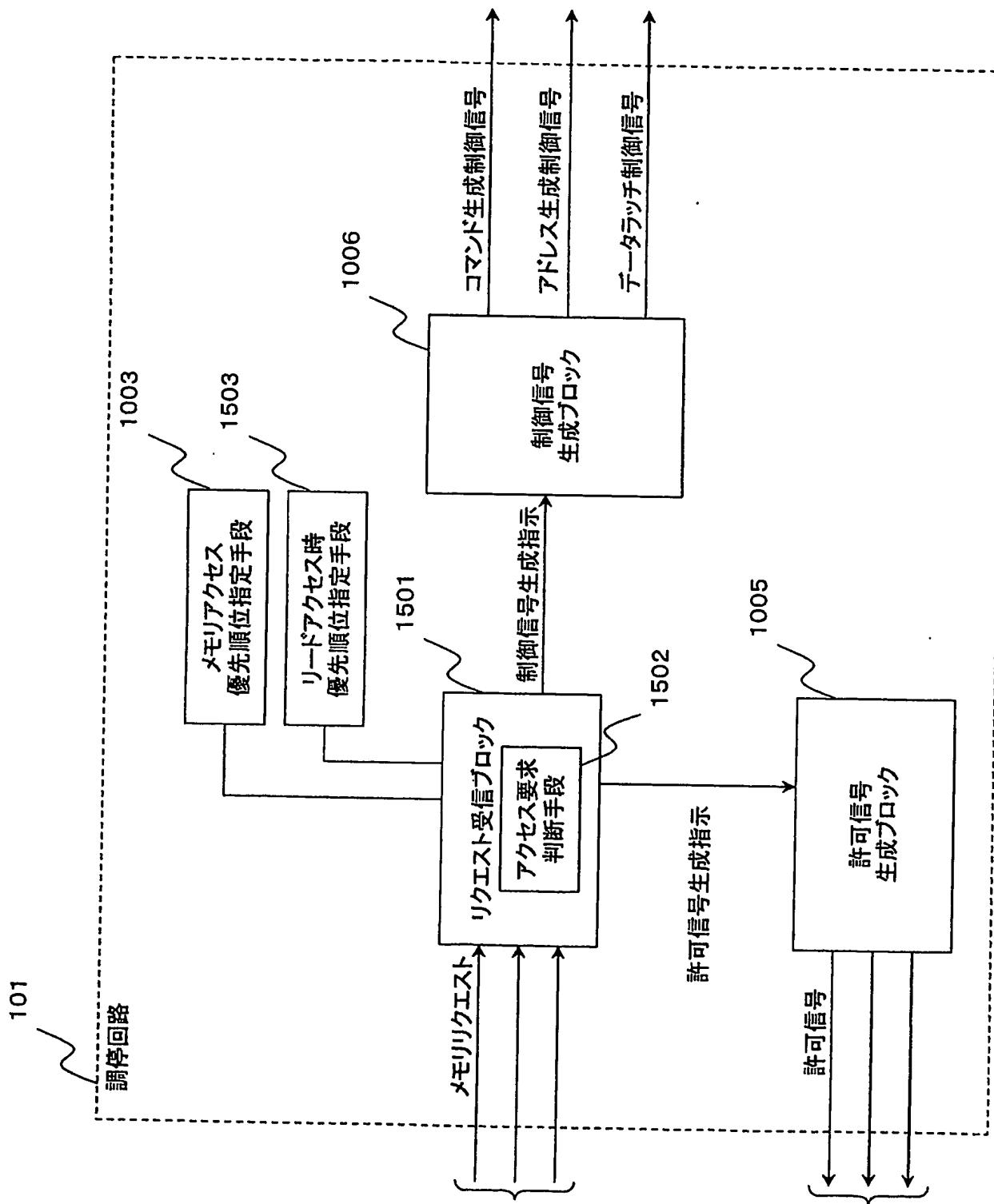
12/19

図 12



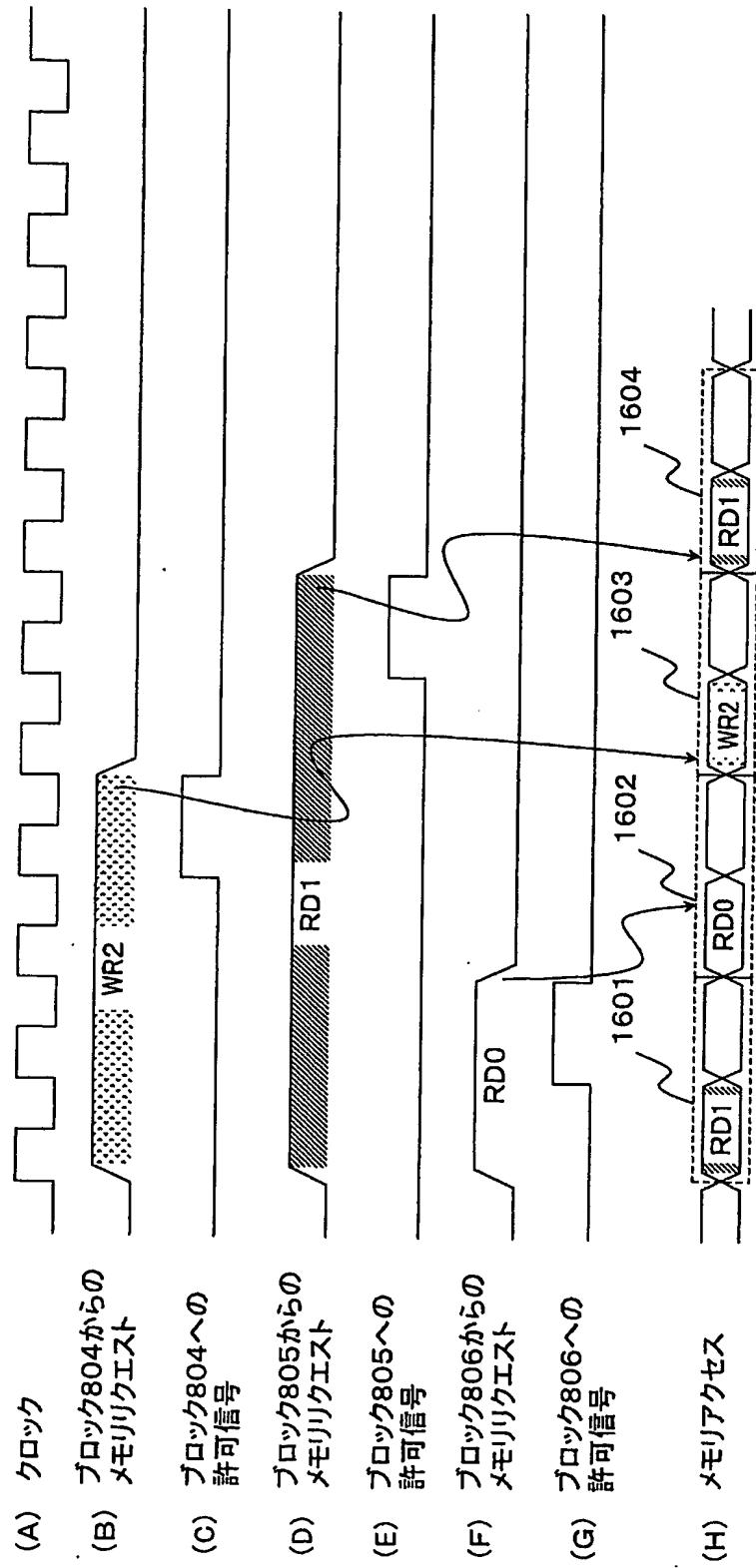
13/19

図 13



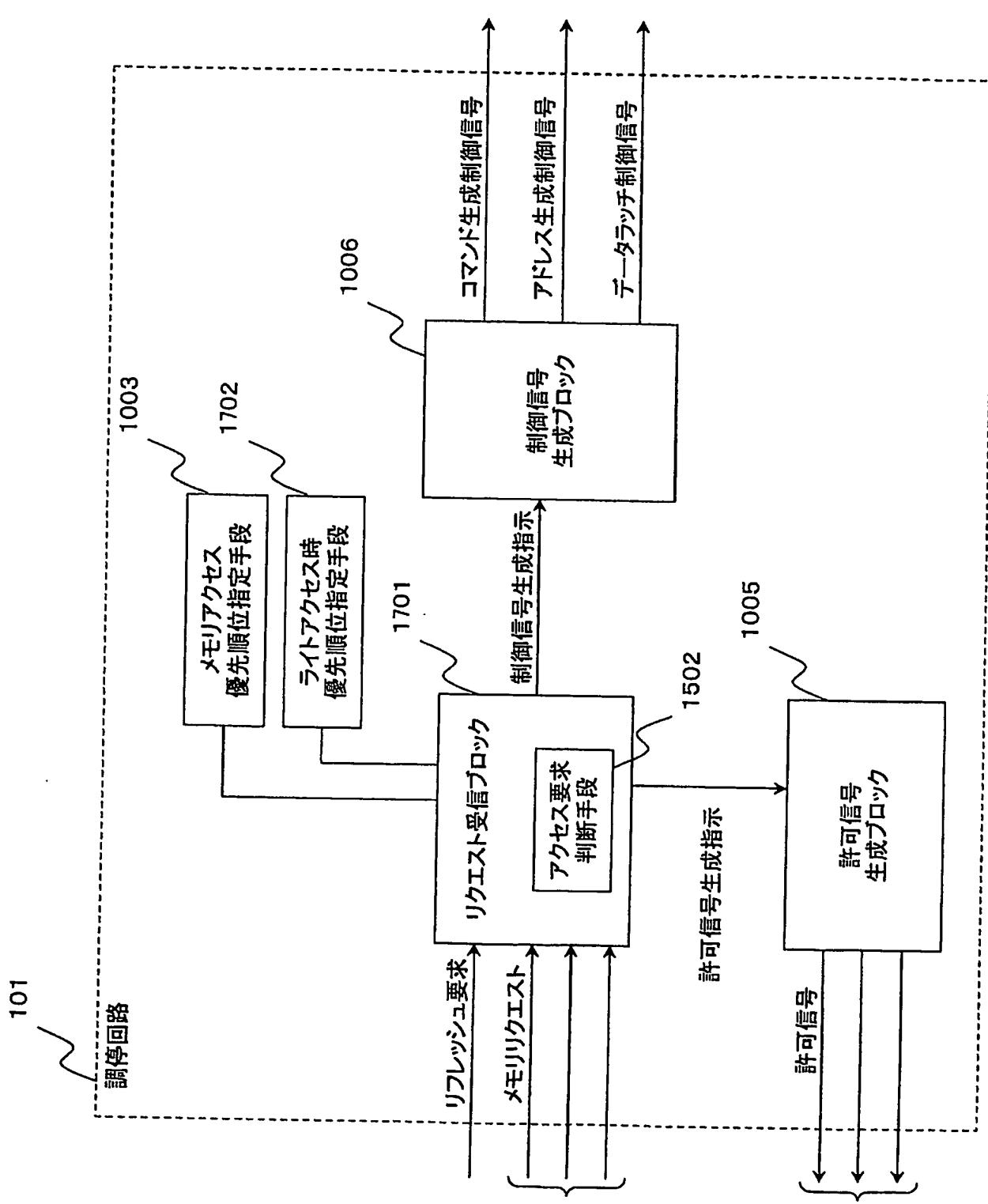
14/19

図 14



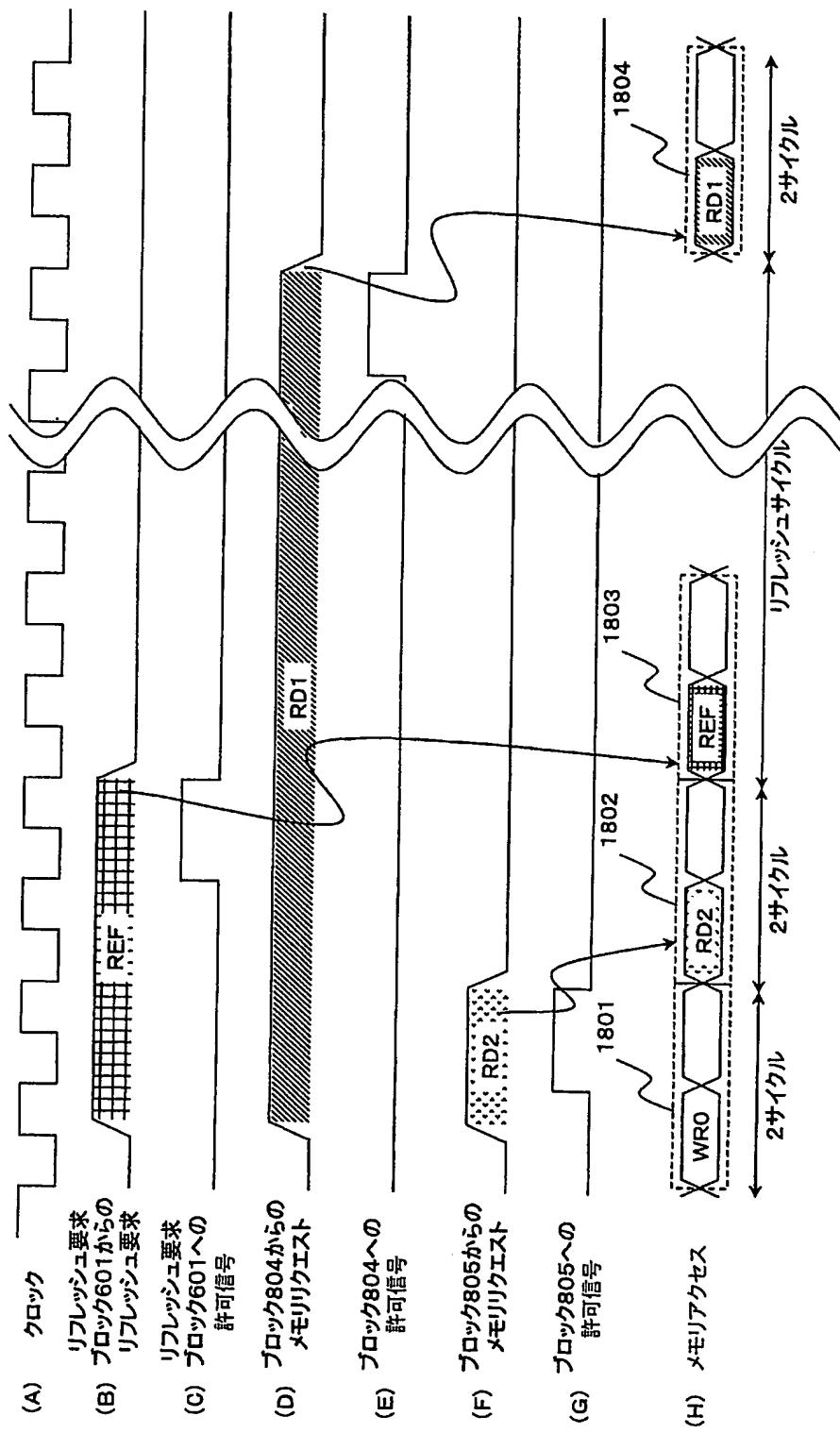
15/19

図 15



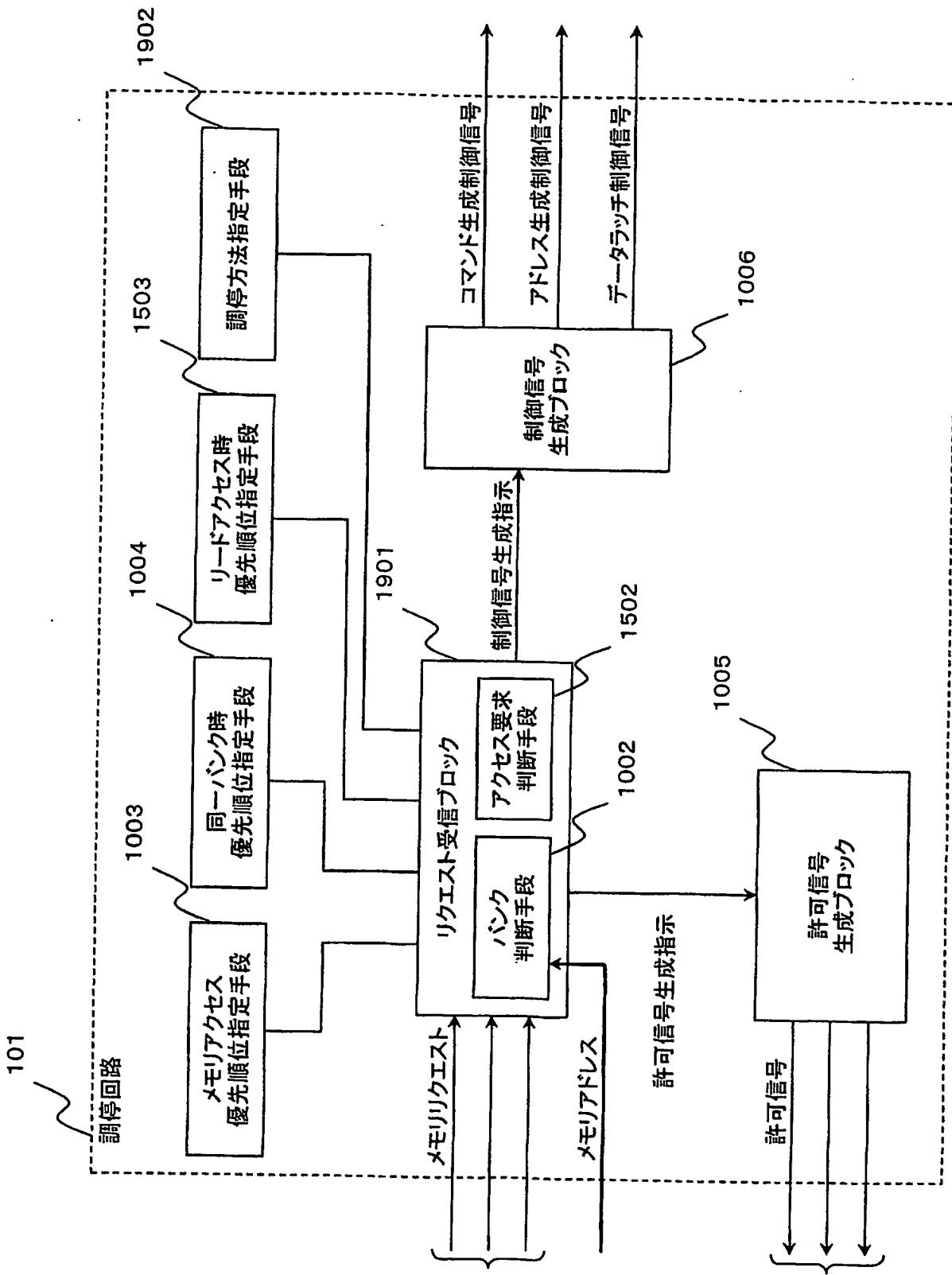
16/19

図 16



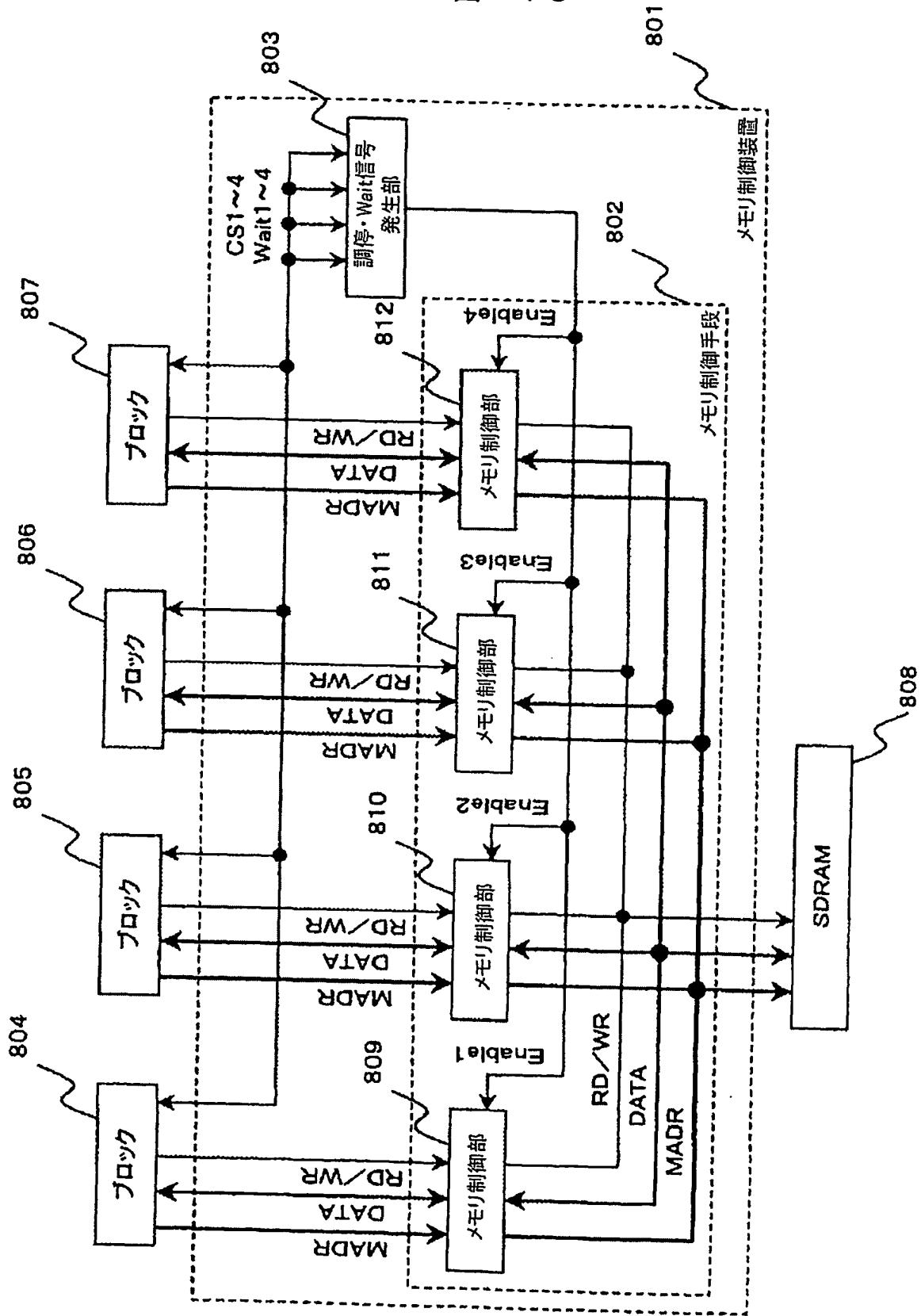
17/19

図 1-7



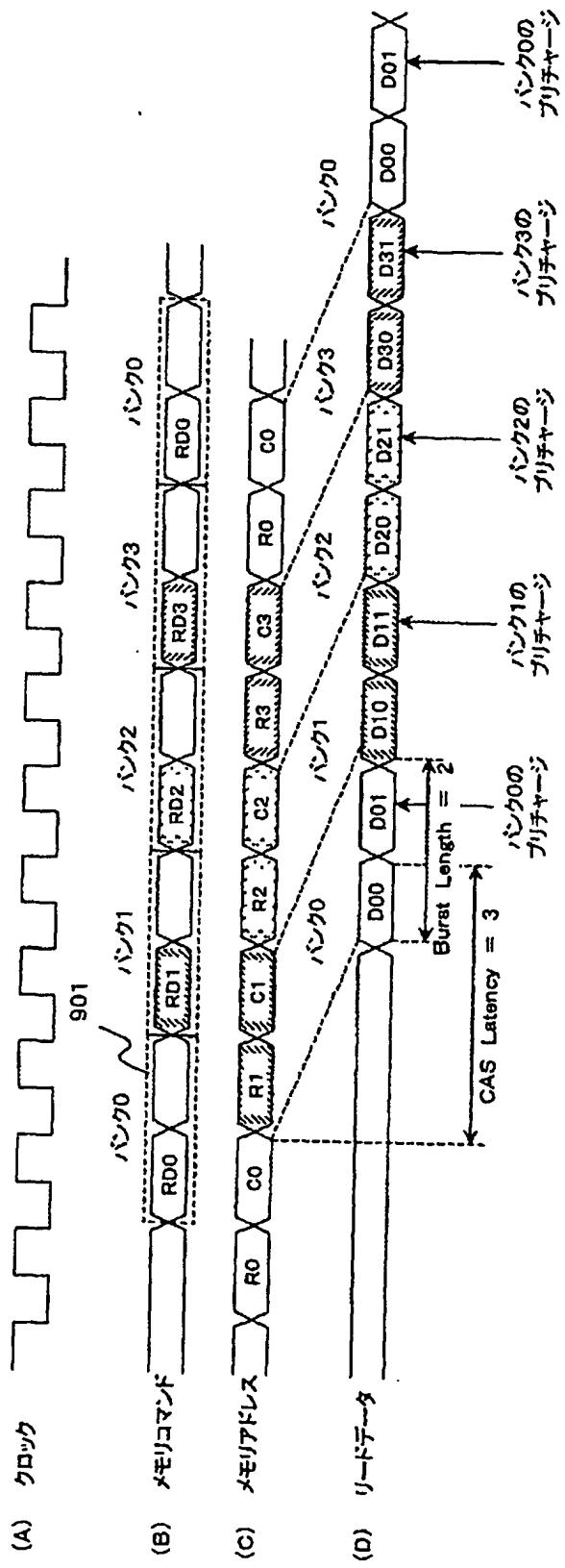
18/19

図 18



19/19

図 19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000671

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/06, 12/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/00-06, 13/16-18, G11C11/406

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-172560 A (Matsushita Electric Industrial Co., Ltd.), 23 June, 2000 (23.06.00), Full text; all drawings & EP 935199 A2 & CN 1227953 A	1-8 9-14, 34-40
Y A	JP 2001-356961 A (NEC Corp.), 26 December, 2001 (26.12.01), Full text; all drawings & WO 01/97040 A1 & US 2003/0140201 A1	1-8, 20-26 34-40
Y A	JP 8-314793 A (Fujitsu Ltd.), 29 November, 1996 (29.11.96), Full text; all drawings & US 5752266 A	1-8, 20-26 27-40

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search 20 February, 2004 (20.02.04)	Date of mailing of the international search report 09 March, 2004 (09.03.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000671

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-315173 A (Matsushita Electric Industrial Co., Ltd.), 14 November, 2000 (14.11.00), Par. Nos. [0028] to [0039]; Figs. 1, 7 & WO 00/67129 A1 & CN 1302405 A & KR 2001/053272 A	15-19
Y A	JP 10-228417 A (Hyundai Electronics America), 25 August, 1998 (25.08.98), Full text; all drawings & EP 843262 A2 & KR 98/042453 A & US 6272600 B1	20-26 11,12,34-40
A	JP 2001-222461 A (Fuji Xerox Co., Ltd.), 17 August, 2001 (17.08.01), Full text; all drawings (Family: none)	27-33

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.C1' G06F12/06, 12/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.C1' G06F12/00-06, 13/16-18, G11C11/406

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2000-172560 A(松下電器産業株式会社) 2000.06.23, 全文, 全図 & EP 935199 A2 & JP 11-224221 A & CN 1227953 A & US 6340973 B1	1-8 9-14, 34-40
Y A	JP 2001-356961 A(日本電気株式会社) 2001.12.26, 全文, 全図 & WO 01/97040 A1 & EP 1313019 A1 & US 2003/0140201 A1	1-8, 20-26 34-40

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

20.02.2004

国際調査報告の発送日

09.3.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 実

5N 9367

電話番号 03-3581-1101 内線 3545

C(続き) .	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-314793 A(富士通株式会社) 1996.11.29, 全文, 全図 & US 5752266 A	1-8, 20-26
A		27-40
X	JP 2000-315173 A(松下電器産業株式会社) 2000.11.14, 第【0028】 - 【0039】段落, 図面第1, 7図 & WO 00/67129 A1 & CN 1302405 A & KR 2001/053272 A	15-19
Y		
A	JP 10-228417 A(ヒュンダイ エレクトロニクス アメリカ) 1998.08.25, 全文, 全図 & EP 843262 A2 & KR 98/042453 A & US 6272600 B1	20-26 11, 12, 34-40
A	JP 2001-222461 A(富士ゼロックス株式会社) 2001.08.17, 全文, 全図(ファミリーなし)	27-33